

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-287271

(43)Date of publication of application : 27.11.1990

(51)Int.Cl.

G01R 31/28

G06F 11/22

(21)Application number : 01-109787

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.04.1989

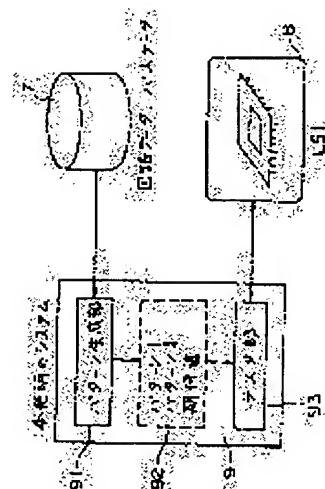
(72)Inventor : HIROSE FUMIYASU
TAKAYAMA KOICHIRO

(54) DELAY TROUBLE INSPECTION APPARATUS

(57)Abstract:

PURPOSE: To test that each path is possible to operate at specification frequency by activating the logic of the path from a register to a register when the trouble simulation of a scanning system is performed.

CONSTITUTION: A pattern forming part 91 calculates an input pattern I activating the path of a combination circuit part from the output of the register of an LSI 18 to the input of the next register and further strikes one clock to calculate an input pattern II setting the input pattern I to the register of the LSI. At the time of testing, a tester part 93 is used to scan in the input pattern II at first and two clocks are struck at the frequency of the operating specification of the LSI and a result is scanned out to be compared with an expectation value 92. That is, the logic of the path from the output of the register of a synchronous circuit to the input of the next register is activated and it is confirmed that each path is operable at specification frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3090929号
(P3090929)

(45) 発行日 平成12年 9 月25日 (2000. 9. 25)

(24) 登録日 平成12年 7 月21日 (2000. 7. 21)

(51) Int.Cl.⁷

識別記号

F I

G 0 1 R 31/28
31/3183

G 0 6 F 11/22 3 6 0
11/25

G 0 1 R 31/28 G
G 0 6 F 11/22 3 6 0 P
G 0 1 R 31/28 Q
G 0 6 F 11/26 3 1 0

請求項の数 7 (全 37 頁)

(21) 出願番号 特願平1-109787

(22) 出願日 平成 1 年 4 月28日 (1989. 4. 28)

(65) 公開番号 特開平2-287271

(43) 公開日 平成 2 年11月27日 (1990. 11. 27)

審査請求日 平成 8 年 4 月17日 (1996. 4. 17)

(73) 特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1
番 1 号

(72) 発明者 広瀬 文保

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 高山 浩一郎

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 999999999

弁理士 大菅 義之 (外 1 名)

審査官 上野 信

(58) 調査した分野 (Int.Cl.⁷, D B 名)

G01R 31/28

(54) 【発明の名称】 デイレイ故障検査方式

1

(57) 【特許請求の範囲】

【請求項 1】 論理回路内のレジスタ出力から次のレジスタ入力に至る組み合わせ回路の特定な検査パスを活性化するような入力パターン I を求める入力パターン I 生成手段と、

前記論理回路内の前記レジスタにクロックを 1 発打つことにより前記入力パターン I が前記組み合わせ回路の入力部にあたる前記レジスタにセットされるような入力パターン II を求める入力パターン II 生成手段と、

前記入力パターン II を前記論理回路にスキャンインした後、クロックを前記論理回路の動作仕様周波数で 2 発打ち、最初のクロックで前記入力パターン I を前記レジスタにセットし、前記入力パターン I を前記組み合わせ回路へ入力させることによって前記論理回路の検査パスを形成し、さらに前記検査パスの論理状態の変化を前記組

2

み合わせ回路から出力させ、その出力結果を前記レジスタにその 2 発目のクロックでセットした後、その結果をスキャンアウトして期待値と比較するテスト手段を有し、

該比較結果に基づいて、前記論理回路の検査パス上に存在するデイレイ故障を検査することを特徴とするデイレイ故障検査方式。

【請求項 2】 論理回路のレジスタ出力から次のレジスタ入力に至る組み合わせ回路の特定な検査パスを活性化するような入力パターン I を求めるための第 1 の制約条件を与えるパス設定手段と、

該第 1 の制約条件を基に前記入力パターン I を生成するパターン I 生成手段と、

該パターン I 生成手段において、入力パターン I を生成できない場合には、テスト不可能とし、入力パターン I

3

が生成された場合には、前記論理回路の前記レジスタにクロックを1発打つことにより、該入力パターンIがその組み合わせ回路の入力部にあたる前記レジスタにセットされるような入力パターンIIを求めるための第2の制約条件を設定する設定手段と、

該第2の制約条件を基に前記入力パターンIIを生成するパターンII生成手段とを備え、

該パターンII生成手段において入力パターンIIが生成されなければ、前記パターンI生成手段において前記入力パターンIの生成を再度行い、もし入力パターンIIが生成された場合には、前記入力パターンIと前記入力パターンIIと期待値を出力することを特徴とするディレイ故障検査方式。

【請求項3】前記バス設定手段は与えられたバスに基づき、バス上にあるゲートとバス上にないゲートの動作論理を区別して、バス上にあるゲートに関しては、バスプリミティブな真理値表を用いて入出力関係を表現し、バス上にないゲートに関しては、ノンバスプリミティブな真理値表にしたがって入出力関係を表現することを特徴とする請求項2記載のディレイ故障検査方式。

【請求項4】前記パターンI生成手段は、前記組み合わせ回路への全入力のうち値に自由度があるものから、1つの入力を選択手段で選択し、該入力の値を0（乃至1）にたおし、前記バスプリミティブな真理値表に従って、前記組み合わせ回路のシミュレーションを実行するシミュレーション手段と、前記検査バスの終点において、論理の変化が検出されたかどうかを検出する検出手段と、

該検出手段において、論理変化が検出されない場合、その可能性がまだあるかどうかを先ず調べ、もしあるならば、前記選択手段にもどり、もし可能性がないならば、前記全入力について、もっとも最近、値をドントケア

(X)の状態から、0（乃至1）にたおし、かつその値を1（乃至0）に取り替えていない入力の値を1（乃至0）に取り替え、また、それ以後、Xから0（乃至1）にたおした入力については値をXに戻す探索を行い、その探索過程において、前記全入力において前記検査バスの始点の入力のみ変化の状態では他の入力は全てドントケア(X)の状態に戻ってしまったかどうかを探索していく本探索手段を有することを特徴とする請求項2記載のディレイ故障検査方式。

【請求項5】前記第2の制約条件を設定する設定手段は、前記入力パターンIで確定した値をもつ入力については、前記入力パターンIIの探索では、その入力をその確定値に固定し、前記組み合わせ回路の入力と出力の間に関係がある場合、前記入力パターンIで値の確定している入力に対応する出力の値をその入力の値に固定するように設定する手段を有することを特徴とする請求項2記載のディレイ故障検査方式。

【請求項6】前記パターンII生成手段は、

4

前記組み合わせ回路への全入力のうち値に自由度があるものから1つの入力を選択し、該入力の値を0（乃至1）に倒す選択手段と、

ノンバスプリミティブな真理値表に基づいて、前記組み合わせ回路のシミュレーションを行うシミュレーション手段と、

前記シミュレーションの結果、前記組み合わせ回路の出力値が出力の固定条件に一致したかどうかを検査する検査手段と、

10 該検査手段において不一致であった場合には、前記全入力について、もっとも最近、値をXから0（乃至1）にたおし、かつその値を1（乃至0）に取り替えていない入力の値を1（乃至0）に取り替え、そして、それ以後、ドントケアのXから0（乃至1）にたおした入力については値をXに戻す探索を行い、その探索を前記全入力の中で固定条件以外の入力値が全てXに戻ってしまうまで続行する本探索手段を有することを特徴とする請求項2記載のディレイ故障検査方式。

20 【請求項7】論理回路内のレジスタ出力から次のレジスタ入力に至る組み合わせ回路の特定なバスを活性化するような入力パターンI及び前記論理回路の前記レジスタにクロックを1発うつことにより、その入力パターンIがその組み合わせ回路の入力部にあたる前記レジスタにセットされるような入力パターンIIを求めるための入力探索器は、探索を前進する場合は、ドントケアの状態のXを出力しているもっとも右（左）にあるセルの出力値を0乃至1とし、探索を後退する場合は、1乃至0の値を出力している最も右（左）にあるセルにある出力値を反転し、それよりも右（左）にあるセルの出力をドントケアのXとする本探索用のハードウェアを利用することを特徴とする請求項1記載のディレイ故障検査方式。

【発明の詳細な説明】

【概要】

本発明は、論理回路の動作が仕様通りの周波数で動作できることをテストするディレイ故障検査方式に関し、

スキャン方式の故障シミュレーションを行う場合であっても、レジスタからレジスタへ至るバスの論理を活性化し、そのそれぞれのバスが仕様周波数で動作可能であることをテストすることができるようにすることを目的とし、

40 論理回路のレジスタ出力から次のレジスタ入力に至る組み合わせ回路の特定な検査バスを活性化するような入力パターンIを求める入力パターンI生成手段と、その入力パターンIが前記論理回路の前記レジスタにセットさせるクロックを1発打つことによりその組み合わせ回路の入力部にあるレジスタにセットされるような入力パターンIIを求める入力パターンII生成手段と、前記入力パターンIIをスキャンインした後、クロックを前記論理回路の動作仕様周波数で2発打ち、最初のクロックで前記入力パターンIIから前記入力パターンIへの変化に伴

って検査パスの確定化を行う前記入力パターンを前記レジスタにセットし、前記入力パターンIの論理によって前記検査パスを形成し、さらに前記論理状態の変化が前記組み合わせ回路の出力から出力され、その結果を前記レジスタにその2発目のクロックでセットした後、その結果をスキャンアウトして期待値と比較するテスト手段を有し、論理回路の検査パス上に存在するディレイ故障を検査するように構成する。

〔産業上の利用分野〕

本発明は、故障シミュレーション方式に係り、さらに詳しくは、論理回路の動作が仕様通りの周波数で動作できることをテストするディレイ故障検査方式に関する。

デジタル計算機等に使われる論理回路は、集積回路として実現され、大規模集積化技術の発展に伴い、多くの機能をLSI（ラージ・スケール・インテグレーション）として実現されるようになって来た。LSIの製造工程に入る前に、LSIの論理回路の動作が正常であるかどうかをテストすることが重要で、特に、論理回路を電子計算機上でハードウェアの記述をソフト的にを行い、その機能が正しいかどうかをテストすることが重要である。論理シミュレーションは、論理回路の入力に論理信号を入力し、得られた論理回路の出力が期待されたパターンであるかどうかのチェックを行うシミュレーション方式である。また、故障シミュレーションは、各ゲートの出力の縮退故障を仮定し、その仮定のもとで論理シミュレーションを行い、実際の回路で、その時のパターンが出力された場合に、その縮退故障を見つける方式である。なお、縮退故障とは、トランジスタのコレクタがオープンになり、コレクタ電流が流れようとしても、コレクタ出力が変化しないものをいう。これ等のテストシミュレーション方式は極めて重要な技術となる。近年のLSIの高速化に伴い、縮退故障のようなスタックな故障の検出に加えて、LSIの動作が仕様通りの周波数で動作できることを確認するディレイ故障の検査が要求されている。この場合特に、同期回路のレジスタの出力から他のレジスタの入力に至るパスの論理を0から1、あるいは1から0に活性化し、そのパス上の信号伝播が仕様周波数で動作可能であることを確認できるテスト系列を求める方式が要求される。

〔従来の技術〕

第11図は従来のスキャンバス方式に基づく故障シミュレーション方式の概念図である。同図において、1は対象とする論理回路内部のレジスタ部であり、2はそのレジスタ1から出力される信号と外部入力から入力される信号を受け、クロック周期内に論理を出力する組み合わせ回路部であり、その出力の一部はレジスタ部1にセットされるものである。3はレジスタ部1をシフトレジスタ化した場合のシフト入力となるスキャンインであり、4はシフトアウトのスキャンアウトである。レジスタ部1には、クロック5が入力され、クロックの立ち上がり

から次の立ち上がりのクロック周期間において、組み合わせ回路部2のパス6の論理が実行されるものとする。組み合わせ回路部2の出力は外部出力ピンに出力されるものもある。このスキャンバス方式に基づく故障シミュレーションでは、論理回路に含まれるすべてのレジスタ部は、シフトレジスタとしてシフト信号が伝播する形で接続される。そして、テスト時に、スキャンインされたデータがレジスタ部1にセットされ、この情報が組み合わせ回路部2の入力に与えられ、その出力がレジスタ部1に次のクロックの立ち上がりでセットされ、セットされたその内容がスキャンアウトされ、期待パターンと比較される。スキャンバス方式の利点は、集積回路のチップ内部にあるレジスタ部に対して任意の入力パターンをセットすることが可能で、従って、このレジスタ部に接続された組み合わせ回路に任意の入力パターンを入力することが可能となることである。そして、任意の組み合わせ回路部の出力もレジスタ部にセットされ、スキャンアウトすることによってテストが容易に可能となる点である。例えば、第11図の組み合わせ回路部2に示された4段のナンドゲートは1つのパス上にあり、ナンドゲートの一方の端子をすべて1にセッティング可能であるならば、レジスタ部1から出力された特定なビットを0から1に活性化すれば、この活性化された論理変化はナンドゲート上のパスを介して伝播し、その変化に対応する論理が次のクロックの立ち上がりでレジスタ部1にセットされる。

〔発明が解決しようとする課題〕

従来の方式では、入力の変化が出力の変化まで伝播するようなパスを形成するための条件、すなわち、例えば、第11図のナンド回路の各ナンドの一方の端子をすべて1にするような条件を形成するような入力パターンを形成し、しかもパス上の入力点を0から1、あるいは1から0に活性化してそのパス上に論理変化を伝播することが出来なかった。すなわち、従来は設計者が論理設計の検証をシミュレータにより行った際に、使用した入力系列を動作周波数でテストして、期待通りかどうかのチェックを行っていた。特にレジスタ部がシフトレジスタ化されているため、パス上を活性化した論理が伝播するような入力条件を満足するようなパターンを変化させることをスキャンイン動作だけで行うことはできなかった。

従って、従来方式では、入力系列は論理の正しさをチェックするためのもので、レジスタの出力からレジスタの入力に至るパスの論理を活性化し、各パスが仕様周波数で動作可能であるかのディレイ故障検査ができないという問題があった。すなわち、試験されるパスの割合が低く、高速動作するLSIをその周波数でテストする高性能テストを形成することができないという問題点があった。

本発明は、スキャンバス方式の故障シミュレーション

を行う場合であっても、レジスタからレジスタへ至るパスの論理を活性化し、そのそれぞれのパスが仕様周波数で動作可能であることをテストすることができるようにする。

〔課題を解決するための手段〕

第1図は本発明のシステム構成図である。

第1図において、7は回路データ、8はバスデータを格納する外部記憶部、9は対象のLSI、10は本発明のシステムで、内部はパターン生成部91とテスト部93から構成されている。パターン生成部91は、LSI8のレジスタ出力から次のレジスタの入力に至る組み合わせ回路部のパスを活性化するような入力パターンIを求め、さらにクロックを1発打つことによってその入力パターンIがLSIのレジスタにセッティングされるような入力パターンIIを求める。そして、テスト時に、テスト部93を用いて、まずパターンIIをスキャンインした後、クロックをLSIの動作仕様の周波数で2発打ち、結果をスキャンアウトして期待値と比較する(92)。すなわち、本発明は同期回路のレジスタの出力からレジスタの入力にいたるパスの論理を活性化し、そのそれぞれのパスが仕様周波数で動作可能であることを確認するテスト方式である。

〔作用〕

本発明では、LSI8のレジスタ出力から次のレジスタの入力に至る組み合わせ回路部のパスを活性化するような入力パターンIを求め、更に、そのレジスタにクロックを1発打つことによってそのレジスタにその入力パターンIをセットされるような入力パターンIIを求める。テスト時には、そのパターンIIをスキャンインした後、クロックを1発いれてパスを活性化する入力パターンIを組み合わせ回路の入力に与え、続けて次のクロックを用いてその入力パターンIに対する組み合わせ回路の出力パターンをレジスタにセットし、スキャンアウトすることによって期待値と比較するようにしている。

〔実施例〕

次に本発明の実施例を図面を参照して詳細に説明する。

第2図(a)は本発明のシステムの処理概要図である。

すなわち、本発明は第2図(a)に示されるようにS1とS2でパターンIとパターンIIを生成し、S3でパターンIIをスキャンインし、パターンIで出力される期待値をテストする。

第2図(b)はパターン生成部の構成図である。同図において、12は入力探索部、13は対象とする組み合わせ回路のシミュレーション部、14は出力検査部である。パターン生成部91は、パターンI及びIIを生成するためのテスト系列を探索するものである。探索の結果、パターンIが求められない場合もあり、またパターンIが求められてもパターンIIが求められない場合がある。従って、入力探索部12では、パターンI及びパターンIIを生成する

ために、パターンを探索するアルゴリズムが実行される。そして、そのアルゴリズムの実行により得られた結果を検査して目的のパターンが求めた場合には、これを「成功」として判定し、求めない場合は解が存在しない、あるいは、打ち切って「不可能」とする。または、探索を行っているうち、これ以上進むことができない、前にまだやり残したことがある場合は「失敗」として探索をバックトラックする。「成功」でも「不可能」、あるいは、「失敗」でもない場合には「不明」として扱う。このように成功、失敗、不明、不可能或いはリセットを出力検査部14から得ることによって、これらの情報を入力探索部12に教え、動作を制御する。これが本発明のパターン生成部9の動作である。

第1図のテスト部93はパターン生成部91で生成された入力パターンI、入力パターンII及び期待値を受け取る。第2図(c)はテスト部93の処理の機能ブロック図である。テスト部93では、S4でパスを活性化するための入力パターンIをクロックの入力で形成する第2の入力パターンIIをスキャンインする。スキャンデータはスキャン用クロックを用いて入力される必要がある。テスト部93がLSIにこの入力パターンIIをスキャンインすると、LSI内部のレジスタ部にその入力パターンIIが設定される。そして、S5において、クロックを2発、仕様の周波数で入れる。このシステムクロックの周波数をfとすれば、周期は1/fであって、クロックの立ち上がりから次のクロックの立ち上がりまでの時間幅である。第1のクロックの立ち上がりによってスキャンインされた入力パターンIIは入力パターンIに変わる。この入力パターンIは予めLSIの現在注目している論理パスのパス上を論理の変化が伝播するように他の入力を決定するものである。この入力パターンIが組み合わせ回路に与えられると、LSIのレジスタ部は第1のクロックで入力パターンIIから入力パターンIに変化し、第2のクロックで入力パターンIの結果を組み合わせ回路を介して出力し、それをレジスタ部に格納する。そしてS6において、それをスキャンアウトしてそのデータが期待値に等しいことを確認する。すなわち、入力パターンIIから入力パターンIに変化したことによる論理変化が、仕様周波数f内で正常に動作したかどうかをレジスタ部の結果のスキャンアウトで取り出し、該スキャンアウトされたデータを期待値と比較することにより検査できる。すなわち、今、調べようとしている論理パス上の伝播遅延時間がトータルとして、周期1/f内に収まっているかどうかをチェックできる。もし収まっているならば、2発目のクロックで正しい期待値パターンがスキャンアウトされるが、もし論理パスのディレイが仕様周波数fの逆数、すなわちシステムクロックの周期内に収まっていなければ、たとえ論理が正しくてもディレイ故障となって、スキャンアウトしたデータが正しくない。従ってスキャンアウトされたそのデータは期待値と比較すると一致しないことになり、デ

イレイ故障が確認される。

第2図(d)は入力パターンIを求めるパターン生成部91の動作の概念図である。入力探索部12の与える入力パターンに対し、パスの開始点18の信号値を0から1、或いは1から0に変化させた場合に、その信号変化がパス19上をその終点20に向けて伝播するかどうかを調べる必要がある。入力パターンIを求めるために、組み合わせ回路シミュレーション部13でその動作を模擬することになる。出力検査部14は、パスの終点20に信号変化が伝わったどうかをチェックする。伝わった場合には「成功」とし、解が存在しない、或いはギブアップの場合を「不可能」の状態にし、アルゴリズムが進められず、もとに戻らざるを得ない場合には「失敗」とし、探索をバックトラックさせる。そのいずれでもわからない状態は不明である。このような「成功」、「不可能」、「失敗」、「不明」の判別を行うのが出力検査部14である。これらの判定を行って入力探索部12の次の動作を出力検査部14は指示する。もし不可能な時にはこのパスは活性化されない。すなわち、検査不能であることが判明される。また探索開始時にはリセット信号でパターン生成部91を初期化する。従って、第2図(d)に示すように、入力パターンIを求める場合には、入力探索部12から与えられる入力は全入力であって、出力検査部14に与えられる出力は1出力である。

第2図(e)は入力パターンIIを求めるためのパターン生成部91の概念図である。入力パターンIIはクロックを打った結果、レジスタ部に格納される値が入力パターンIとなるような入力のことである。入力探索部12が与えるパターンに対し、組み合わせ回路の出力が最終的にどうなるかをシミュレーションする。出力検査部14がその組み合わせ回路シミュレーション部13の出力が入力パターンIになっているという場合に「成功」を与え、解が存在しない、あるいはギブアップの場合は「不可能」とし、アルゴリズムの先に進むことはできないが、元に戻ってから違う道を探る場合がバックトラックであり、この場合には、探索が「失敗」であるからバックトラックすることになる。そのいずれかがわからない場合が「不明」である。このように、「成功」、「不可能」、「失敗」、「不明」を判別し、入力探索部12の次の動作を指示する。探索が「不可能」であることが判明した場合には別のパターンIを生成することを要求する。なお、リセット信号は探索の条件を設定する。従って、第2図(e)に示すように、入力パターンIIを求める場合には入力探索部12から組み合わせ回路シミュレーション部13に与えられる入力は全入力に対するパターンが与えられ、出力検査部14に与えられる組み合わせ回路シミュレーション部13の出力も全出力である。

第3図(a)は本発明によってパターンI、パターンIIを求めるために用いられる実施例の回路図である。同図において、DFF1、DFF2、DFF3はそれぞれDタイプのフリ

ップフロップで、クロックがclk端子に入力されると、その立ち上がりによって入力端子のデータがセットされ、Q出力から出力される。また、各フリップフロップはシフトレジスタを形成するためにシフトイン入力siとシフトアウト出力s0があり、DFF1のsiにはスキャンイン(SCAN-IN)データが入力され、DFF1のs0はDFF2のsiに

入力され、DFF2のs0はDFF3のsiに入力され、DFF3のs0はスキャンアウトとして出力される。
Q1は2入力ゲートg3の入力、Q2は2入力ゲートg1の入力、Q3は2入力ゲートg2の入力である。またQ2はg2の入力にも接続されている。g1の出力はg3の他方の入力に接続され、g2の出力とg3の出力はg4の入力になって、そのg4の出力はDFF1の入力のD1に接続されている。g4の出力はデータアウトである。またDFF2の入力D2は外部から入力される*ENABLEであり、DFF3の入力D3は外部から入力されるDATA-IN信号である。すなわち、第3図(a)では、DFF1、DFF2、DFF3はレジスタ部に対応し、g1、g2、g3、g4は組み合わせ回路部に対応する。そして、DATA-IN信号と*ENABLE信号が外部入力、DATA-OUT信号が外部出力になる。組み合わせ回路部において、活性化するパスとしてQ2、g1、g3、g4、D1のパスを考える。今、1から0への変化をF(Fall)の記号で表現し、0から1への立ち上がりをR(Rise)の記号で表現する。前述のパスを以後「検査パス」と呼ぶことにする。検査パスを活性化するためにはQ1が1であって、g2の出力も1にする必要がある。このような条件であれば、Q2がFまたはRであった場合に、検査パスにおいて、g1の出力、g3の出力、g4の出力にそのFまたはRが伝播する。例えば、Q2がFである場合にはg1の出力はR、g3の出力はF、g4の出力はRとなる。

第3図(b)はパターンIとパターンIIの生成手順を示す探索順序の実施例図である。同図において、Xはドントケアであって、1または0の非決定状態である。Fは1から0への変化を表す記号、Rは0から1に変化する記号を表す。B1、B0はそれぞれ、信号値1となって失敗、及び信号値0となって失敗したという意味の記号である。Yは不明の意味の記号である。

まず、パターンI、すなわちパスを活性化するための条件となる入力パターンを求めるための木探索方式を説明する。項番1から8はQ2が1から0、すなわちFと変化した場合のパターン生成手順で、項番9から16は、Q2が0から1、すなわちRと変化した場合のパターン生成手順である。項番1ではリセット命令により回路が初期化された状態である。リセット時には、入力探索部12のQ2に対応する信号線がパスの始点としてFに固定される。また、出力検査部14はパスの終点としてのD1にRないしはFの信号値が伝播されることを見張る。Q2がFである場合には、g1の出力はRであって、今、それ以外の信号はXになっている。これが開始状態である。項番2、3、4はパターンIを生成するための木探索手順である。

入力としてはQ2以外にQ1, Q3, DI (DATA-IN), *E (*ENABLE) が0か1を取る自由度を持ち、従って、2の4乗=16の組み合わせの中からパターンIを生成することになる。そのため、まず始めにすべての入力は0か1かが不定であるXの状態に初期化される。そして項番2ではこのうちもっとも左にあるQ1を0優先で0に束縛する。すると、Q2がFの時にg1はその反転のRが規定され、後述の真理値に従ってg2は1となる。g2の出力が1であれば、Q2のFはg1でRになってg3を通過しようとするが、Q1が0であるため、g3の出力に伝播せず、Q1の0によってg3の出力は1になる。従ってg3の出力は1によって失敗するからB1、g4の出力(D1)は0で失敗するからB0になる。従って制御は「失敗」となる。そこで今度はQ1を1に変える。これが項番3である。この時はg2の出力はXであり、g3の出力はQ1が1であるからg1の出力状態が伝播し、Fとなる。g3はFであるがg2がXであるから、D1の入力は不明であってYとなる。従って制御は「不明」である。不明である場合には、他の入力Xを0にしてアルゴリズムを先に進む。すなわちQ3を0にする。これが項番4である。Q1とQ2は項番3と同じであって1、Fである。この時g1はR、g2はQ3が0であるから1となり、g3のFをg4において伝播させることになり、g4の出力はRとなる。従って活性化が伝達されたことになり、「成功」となる。

Q1, Q2, Q3が110から100と変化する、すなわち、Q1が1、Q3が0の制約の条件下でQ2を1から0と変化させると、その変化が検査パスを経由してD1に現れるようにするのが入力パターンIで、これが生成された。次に、項番5と6はパターンIIを生成するための手順である。項番5では、リセットにより、制約条件を設定する。Q1, Q2, Q3は、クロックを打つ前が110で、打った後がパターンIの100でなくてはならないので、すなわちQ2がFであるといけなないので、入力探索部12はQ1=1, Q2=1、Q3=0に束縛し、入力のうちD1とEのみが変化の自由度を持つ。また出力検査部14はクロックをうって、組み合わせ回路シミュレーション部13の出力がパターンIにならないといけなないので、D1が1、D2が0、D3が0の出力条件を検出するように設定される。このような制約条件下で項番5を組み合わせ回路の入力に入れるとQ1の1によりg3の下側の入力が1となる。Q2は1であるからg1の出力は0となり、g3の出力は1であり、g2の出力はQ3が0であるから1である。従ってg2、g3の出力が共に1であるからg4の出力は0となって項番6となるが項番5のD1=1に反する。従って失敗となる。バックトラックするものはないので失敗は不可能と等価となる。

そこで、項番7と8で、他のパターンIを検索する。項番7では項番4の続きとしてQ3を1にする。Q1, Q2, Q3が1, F, 1である場合にg1の出力はR、g2の出力はQ3が1であるからQ2のFを伝播しRとなり、g3の出力はQ1が1であるからg1のRを伝播しFとなる。g2のRとg3のFで

g4の出力はg3のFがきいてD1は1で失敗する。従って制御は「失敗」となる。項番8では他の可能性を検討するが、すべての場合をつくしていたことがわかるので、パターンIの生成は不可能であることが判明する。すなわち項番8ではQ1とQ3がXにもどり、項番1の状態と同じになる。これは不可能であることを意味する。すなわち項番1から8までの木探索は、Q2がFであるようなパターンIを求めることはできるが、パターンIIを求めることができないことを意味する。

10 そこで、項番9から12においてQ2がRである場合のパターンIを同様の手順で生成する。項番9はQ2がRであって、g1がF、それ以外はXにリセットされた状態である。項番10において、Q1のXを0に変えると、g3の出力が強制的に1となって1によって失敗する。従ってg4の出力も0で失敗し、g3はB1、D1はB0となって制御は「失敗」となる。そこで、項番11においてQ1を0から1にする。この1によってg3の出力はRとなる。ところがg2の出力はQ3がXであるから、Xであって、従ってg4の出力はYとなって「不明」となる。不明である場合には、アルゴリズムをさらに項番12に進めてそれ以外のXを0に変える。この場合はQ3をXから0に変えている。このことにより、g2の出力が1となってg4は他方の入力を伝播することになり、g3の出力のRを伝播し、その出力をFにする。すなわちD1がFとなって「成功」となる。項番13から16はパターンIIを生成する。項番13は項番12においてQ2がRであるから立ち上がる前の状態の0をQ2に割当て、これにクロックが入ると1になるためにD2を1にする。従って、制約条件はQ1, Q2, Q3が100であり、D1, D2, D3は110にする。これがリセット状態である。このような条件で、アルゴリズムを項番14に進めていくと、g1の出力はQ2の反転であるから1、g2の出力はQ3の反転であるから1、g3の出力はQ1が1でg1が1であるから0、D1 (g4) はg3の出力の反転であって1となる。しかし、D2とD3は10となるべきところがX、Xである。パターンIIは求められず失敗となる。そこで更にアルゴリズムを進めて、1番左のX、すなわち項番15でD1を0に変える。この時D3が0であるから不明となる。次にアルゴリズムを項番16に進めて、*EをXから0に変えるとD2入力が0となる。Xの状態はないが、これは不明の状態である。そこで、更にアルゴリズムを進めて、項番17においてD2を1にする、すなわち、*Eを1にすれば、D1, D2, D3が110となって成功する。すなわちクロックを入れればQ2が0から1の状態に変えられ、そのRが検査パスを伝播することが可能となる。

第3図(c)はパターン生成部91で得られたパターンIとIIを用いてテストするテスト部93の処理フローである。

第3図(a)の回路に関するパターンIとパターンIIが第3図(b)の実施例に基づいて求められると、テスト部93は、まず入力パターンIIのスキャンインと外部入

力の設定をS10で行う。すなわち、第3図(b)の項番17に示される入力の値、すなわち、 $Q1=1, Q2=0, Q3=0, DI=0, *E=1$ である。このパターンのうちスキャンインされるのはレジスタの値であるから $Q1, Q2, Q3$ である。 DI と $*E$ は外部入力において、0, 1に設定しておく。そして、S11に移る。ここではクロックパルス2発を仕様周波数 f でレジスタに入力させる。この時、外部入力は、 $DI=0, *E=1$ であって、レジスタの内容は、 $Q1=1, Q2=0, Q3=0$ である。この状態で、クロックパルスを1発入れると、レジスタの入力は、第3図(b)の項番17に示される様に、 $D1=1, D2=1, D3=0$ であるから、レジスタの内容は、1, 1, 0に変化する。外部入力は変化しない。 $Q1=1, Q2=1, Q3=0$ 、で外部入力の $DI=0, *E=1$ であるときに、組み合わせ回路の出力 $g4$ は、0であるから、フリップフロップDFF1の入力は0となる。また、外部入力によって、DFF2の入力は1、DFF3の入力は0である。従って、2発目のクロックパルスを入れると $Q1, Q2, Q3$ はそれぞれ0, 1, 0と変化する。これがS11の状態である。S12に移ってスキャンアウトして期待値と比較する。すなわち、 $Q1=0, Q2=1, Q3=0$ が正しくレジスタにセットされたかどうかを調べる。仕様周波数 f でレジスタにセットされていれば、この期待値がスキャンアウトされ、テスト結果は、正しいことになる。

以上のテスト動作を第3図(d)の回路図による動作で説明する。入力パターンIIのスキャンイン状態においては、 $Q1=1, Q2=0, Q3=0$ である。

クロックパルス1発を仕様周波数 f で入力すると $Q1=1, Q2=1, Q3=0$ となる。このとき同図(d)に示すように $g4$ の出力は、1から0に変化する。従って、 $D1=0, D2=0, D3=0$ の状態ではクロックパルスの2発目が仕様周波数 f で入力する。すると $Q1$ は、 $g4$ の出力である0がセットされる。 $D3$ はデータインの0がセットされる。従って $Q1=0, Q2=1, Q3=0$ となる。これをスキャンアウトする。

さらに以上の動作を第3図(e)を用いてタイムチャートによる説明を行う。図の番号は時間的な位置に対応し、各番号は、下の番号の説明文に対応する。(1)はスキャンインしたときの状態である。 $Q1=1, Q2=0, Q3=0, DI=0, *E=1$ となっている。このとき、 $g1$ の出力は $Q2$ が0であるから、1である。 $g2$ の出力は $Q3$ が0であるから1である。 $g3$ の出力は0である。従って、 $g4$ は、1である。これがD1に対応している。D2は、1でD3は、0である。この状態で1番目のクロックが(2)の時点で入力される。この時のレジスタの入力は $D1, D2, D3$ であるから、それに対応して(3)に示されるように、 $Q1=D1, Q2=D2, Q3=D3$ となる。 $Q2$ が0から1に変化する。

(4), (5), (6)で組み合わせ回路に対して、 $Q2$ の変化が伝播する。(4)では $Q2$ の変化のため、 $g1$ が1から0に変化し、(5)で $g1$ 変化のため、 $g3$ が0から1に変化する。そして、(6)で $g3$ の変化のため、 $D1$ が1

から0に変化する。そして、(7)で2番目のクロックが入力される。すると、(8)でDFF1が $D1=0$ を取り込んで $Q1$ が1から0に変化する。(9)でスキャンアウトするときの状態が $Q1=0, Q2=1, Q3=0$ となる。

第4図は入力パターンIを求める場合の演算論理用の真理値表である。4入力のゲートは、同図に示すように、2入力ゲートに展開でき、2入力の真理値表で与えるので、繰り返し適用して4入力の真理値表を作る。また、NAND/NORはAND/ORを反転する。

例えば2入力アンドゲートのうちパス上にある2入力アンドゲートはPath-Primitiveの真理値表(1)で演算する。表中、横方向がパス上の入力端子に対応し、縦方向がパス上にない入力端子に相当する。信号の記号0は、論理値のローレベル、1はハイレベル、Rは0から1の変化、Fは1から0の変化、Xは0か1かが不定、B0は0で探索が失敗、B1は1で探索が失敗を意味する。Yは0か1かRかFかが不明の状態である。斜線で示された部分は探索失敗で論理値がXとなるものであるが、信号値の種類を8に抑えて3ビットで表現可能とするために、強制的にB1としているもので、これで計算上では矛盾が生じない。Eはあり得ない場合を表す。この真理値表を用いことにより、そのゲートをRないしFが入力から出力に伝播するかどうかをシミュレートできる。例えば、パス上の入力端子でない入力側が0である場合にはパス上の入力端子がR, Fであっても0で失敗することになる。パス上にない入力端子が1である場合に、パス上の入力端子R, Fはアンドゲートの場合にはR, Fで伝播する。パス上の入力端子がX, B0, B1, Yであるならば出力も同じである。パス上にない入力端子がRである場合には、パス上の入力端子がRの時にはRであるが、例えば、パス上の入力端子がFである場合にはアンドゲートの入力端子は0で失敗する。このような2入力のアンドゲートに対する真理値表がPath-primitive、すなわち活性化状態がアンドゲートを伝播するかどうかを記号で表現した形で与えられる。

パス上にない2入力アンドゲートに関しては、Non-path-primitiveな真理値表(2)が与えられる。すなわち、アンドでは、どちらか一方の入力端子に0であれば出力は0である。一方の入力端子が1であるならば他方の入力端子にR, Fが入れば出力はR, Fになる。一方の入力が1である場合には、他方の入力がXであるならば出力はXとなる。

第4図(3)は2入力オアのPath-primitiveな真理値表である。2入力オアの場合にはパス上の入力端子でない方の入力端子が0である場合に、パス上の入力端子のR, Fが出力に伝播する。パス上の入力端子でない方の入力端子が1である場合には、活性化状態にならず、パス上の入力端子がR, Fであっても1で失敗する。パス上にない入力端子がRである場合には、パス上の入力端子がRの時にはRであるが、FやXやB0やB1である場合に

は1で失敗する。以下説明は省略する。

第4図(4)は2入力オアのNon-path-primitive、すなわちパス上にないオアゲートの真理値表である。この場合は、どちらか一方が0である場合に他方のR,Fが伝播する。どちらか一方の入力が1である場合には出力は1になることが多い。以下説明は省略する。なおアンドゲートの入力が4入力ある場合には、図に示すように、2入力アンドのツリー構造で置換することが可能である。勿論、4入力アンドの真理値表を直接構成してもよい。

第4図(5)は反転回路すなわちインバータの真理値表である。インバータは1が来たときに0を出すゲートであるが、Path-Primitive、すなわち、パターンIを求める場合の真理値表はRが入力されたときF、Fが入力されたときR、XのときはX、B0のときはB1、B1のときはB0、YのときはY、0,1のときにはエラーである。Non-path-Primitiveすなわち、パターンIIを生成する場合には0のとき1、1のとき0、RのときF、FのときR、XのときX、B0のとき1、B1のとき0、YのときXである。

第5図(a)は本発明の機構の原理図で第5図(b)はその処理フローのブロック図である。同図(a),

(b)において入力探索器I, IIはパターンIとパターンIIの候補となるパターンを注入するもの、組み合わせ回路シミュレーション部13は候補のパターンに対する回路の動作を模擬するもの、出力検査部14は候補のパターンがパターンIとIIの条件を満足することを確認するものである。出力検査部14はパターンIとIIのどちらを生成しているかを示す信号であるモード及び成功、失敗、不明、不可能等の通知を入力探索部12に通知し、組み合わせ回路シミュレーション部13の生成モードを制御する。組み合わせ回路シミュレーション部13はパターンIの生成時には検査パスに対し、パス上にあるゲートの動作論理とパス上にないゲートの動作論理を第3図の真理値表に従って区別することにより信号の変化がパスの始点から終点を伝わる様子を模擬する。パターンIIの生成時にはゲートの動作論理はすべてパス上にないゲートのものとなり、パターンIIのための回路動作をシミュレーションする。入力探索部12ではパターンIの生成時には入力探索器Iが発生するパターンを組み合わせ回路シミュレーション部13に注入する。そのため、選択回路21を介して入力探索器Iからの信号を選択出力する。また、パターンIIの生成のために入力探索器IIが動作し、パターンの候補を組み合わせ回路シミュレーション部13に注入する。第3図(b)の項番5で示すように、項番4でパターンIが生成された場合、それをもとに項番5が決定され、それが制約条件となる。従って、固定条件IIは入力探索器Iから情報を受け、パターンIから発生される条件により決められる。入力探索器Iから発生するパターンにも制約条件はあり、例えば、パスの始点となる入力

値をFないしRに固定する。これが固定条件Iであって、入力探索器Iに与える。パターンIはパターンIIの制約条件のすべてを決めるものでそれは固定条件IIと検査条件IIに別れている。

前の例では、項番5が制約条件、すなわち固定条件IIであるが、これを定めると組み合わせ回路シミュレーション部13でそのゲート出力が決定され、項番6に示されるように、g1, g2, g3の出力が011となる。従って、検査条件IIとして、項番6が与えられ、これは入力探索器Iより決定されるものである。各入力探索器は入力のベクトル空間の解を生成するように探索し、その探索が成功か、失敗か、不明か、不可能かを出力検査部14より通知される。探索において失敗した時にはバックトラックする。バックトラックにより探索開始時の状態に戻ってしまった時には不可能であるとわかり、これを出力検査部14に通知する。不明な場合には探索を前進させる。パターンIIの生成時に不可能が通知された時は、他のパターンIを探索するモードに入る。例えば、第3図(b)においては、項番6においてパターンIIを生成することは不可能であることがわかるので、項番7において、パターンIを他のものに変えている。パターンIの探索時に不可能となった場合には、その検査パスを試験するテストパターンは存在しないことが証明される。例えば、項番8ではパターンIの生成が不可能であることが判明する。すなわちQ2がFの1から0の変化に対するパターンIの生成は不可能であることが判明される。出力検査部14は、パターンIの生成モードでは検査条件Iを検査器Iで検査する。これはパスの終点の出力信号線にFないしRが伝播されることを見張っている。例えば、第3図(b)の項番4ではQ1, Q2, Q3が1, F, 0であるという検査条件Iの基では、D1にRが生成され、パスの終点において活性化論理が伝播されることが検査器Iでわかる。パターンIIの生成モードでは検査条件IIを検査器IIで検査する。検査器IIは入力探索器Iのパターンで値の確定しているものが対応する出力線に現れることを監視する。但しFについては0、Rについては1を監視する。例えば第3図(b)において、項番11, 12において、パターンIが求められ、Q2のRがD1端子にFとして伝播することに成功する。クロックを入れた時にこのパターンIが生成されるような入力パターンIIを求めるために項番13から17まで変化させる。Q2はRであるからその前の値として0にし、クロックを入れた後1にならなくてはいけないのでD2は1にするという項番13が制約条件として与えられる。そして検査器IIは入力探索器Iのパターンで値の確定しているものが対応する出力線に現れることを監視する。このようにして項番14, 15, 16, 17と進んでパターンIIが生成される。このパターンは1クロックを入れたらパターンIになるものである。そしてQ2においては0から1に変化するものである。その変化はパターンIの条件を満足するので出力まで伝播する。このように

17

本発明においては、いずれの生成モードにおいても条件が成立した時に成功、失敗、不明、不可能、あるいはリセットの制御信号を入力探索部12に送る。但し、不可能は探索が1周して元に戻った時に検出されるもので、入力探索部12が検出したものを出力検査部14に伝えることにより、認知される。リセットはパターンI生成時に発行されるが、パターンI生成時には最初のみリセットである。

第6図は、第5図の原理図を第3図(a)の実施例に応用した場合の入力パターン生成回路の回路図である。10 $g1, g2, g3, g4$ は第3図(a)に示された組み合わせ回路である。組み合わせ回路の入力数すなわちレジスタ数+外部入力数に対応する入力探索器を2組合成し、それぞれ入力探索器I及び入力探索器IIとして、選択回路21を介して組み合わせ回路に与える。この実施例ではレジスタの出力がQ1, Q2, Q3で外部入力がDIと*Eであるから入力探索器I及びIIの出力はそれぞれ5つとなっている。入力探索器Iの出力は入力探索器IIに接続されている。入力探索器I及びIIの出力はモードによって選択される選択回路21を介して組み合わせ回路の入力となっている。組み合わせ回路にはQ1, Q2, Q3が入力され、DIと*Eは組み合わせ回路をバイパスしている。組み合わせ回路の出力である $g4$ とバイパスされたDI、*Eは出力検査部14の検査器I及び検査器IIに入力され、それぞれモードに対して選択された出力信号が入力探索部12の入力探索器I及びIIにフィードバックされている。この信号は成功、失敗、不明、不可能及びリセットの通知である。

第6図の入力パターン生成回路の動作を第7図を用いて順に説明する。第7図(a)は第3図(b)のパターンIとIIの生成における項番1の状態である。パターンIの生成であるから選択回路21は入力探索器I側に接続され出力検査部14においても検査器Iの出力が選択されている。項番1に示すようにQ2をFに固定する。Q2をFにすると組み合わせ回路の $g2$ の1つの入力と $g1$ の入力においてQ2がFとなって入力される。入力探索器Iのその他の出力Q1, Q3, DI, *EはXであるから、 $g2$ の他の入力Q3はX、 $g3$ の一方の入力がQ1で、 $g3$ の他方の入力には $g1$ の出力であるFの反転であるRが入力される。従って、 $g2$ の出力はIであり、 $g3$ の出力は $g3$ の一方の入力がXであるから不明のYとなる。従って $g4$ の出力もYとなる。 $g4$ の出力はDIであるからDI=Yとして検査器Iに入力される。検査器IはこのYをセンスして不明という結果を探索器I側に通知する。入力探索器Iは検査器Iから不明であるという通知を受けることにより項番2の状態すなわちQ1に0を入れる。すると、第3図(b)に示されるように、B1であって失敗する。従って入力探索器Iは項番3の状態すなわちQ1を0から1に変化させる。すると検査器IはDIにY、すなわち不明の状態であることをセンスし入力探索器Iに通知する。項番4の状態になってQ3をさらに0にする。するとDIがRとなって成功にな

18

る。そしてパターンIIの生成モードに移る。すなわち選択回路21を入力探索器IIの状態、検査器IIの出力を入力探索器にフィードバックするように選択回路のモードを切り換える。項番5において、Q1, Q2, Q3をそれぞれ1, 1, 0とすると組み合わせ回路の出力 $g4$ は0となり、項番5のDI=1に反するため失敗となる。これはQ2のFの伝播を可能にするパターンIは生成されるが、パターンIIが生成されないことを意味する。従って、もう一度パターンIの生成モードに入る。すなわち入力探索器I、検査器Iを用いる。

第7図(b)は項番4の状態である。すなわちQ1が1、Q2がF、Q3が0となっている。この時、組み合わせ回路の出力はRとなって、検査器Iは探索器Iが成功であることを通知している。

第7図(c)は項番6の状態である。すなわち、項番6はパターンIIの生成の後半部分であって、入力探索器IIの出力のQ3, Q2, Q1はそれぞれ0, 1, 1に固定されているが、DIと*EはXの状態である。モードはパターンIIの状態であるから入力探索器IIの結果が組み合わせ回路に入力する。Q2が1であるから $g1$ の出力は0、 $g2$ の出力はQ3が0であるから1、 $g3$ の出力は $g1$ が0であるから1となる。従って、 $g4$ には1が入力され、DIは0となる。この0を検査器IIに入れると、検査器IIにおいては、制約条件であるDI, D2, D3が1, 0, 0であることは予め記憶されているので、その内のDIに対してチェックを行う。今の場合、 $g4$ の出力が0であるから記憶されているDI=1に反して矛盾する。従って、失敗を意味する不可能を入力探索器側に通知する。なお、入力探索器Iの出力はパターンIの生成が成功した時点での項番4に対応するQ1, Q2, Q3の値である1, F, 0及びDI, *EのX, Xの状態を出力したままとなっている。

第7図(d)は項番7の状態である。項番7は再度、パターンIを求めるための状態であって入力探索器I及び検査器Iを用いる。項番7はQ1が1、Q2がF、Q3が1になっている。DIと*EはXである。入力探索器Iのこれらの出力が選択回路21を介して組み合わせ回路13に与えられる。 $g1$ の出力はQ2がFであるからRとなる。 $g2$ の出力はQ3が1であってQ2がFであるからRとなる。 $g3$ の出力はQ1が1であるから $g3$ の入力のRを伝播したFになる。従って、 $g4$ にはRとFが入力されるのでB1、すなわち、1であって失敗する。項番8を形成するために、入力探索器IはQ1, Q2, Q3, DI, *EがX, F, X, X, Xとなって開始状態すなわち項番1の状態と同じになって不可能となる。このとき、Q2のFを伝播する条件はない。すなわち、不可能であることが判明するので、パターンIに対してはQ2のRの伝播を行うように制御され、項番9となる。

第7図(e)は項番9の状態である。Q2がRに固定される。このとき組み合わせ回路において、 $g1$ の出力がFとなるが、Q1がXであるため、 $g3$ の出力は不明のY、 $g2$

50

の出力はXとなつてg4の出力はYとなつて不明の状態である。従つて、先に進むため、Q1を0にする。第4図

(a)に示すように、この場合には、D1が0となつて失敗するため、項番11に移つてQ1を1に変える。このときにはD1がYとなつて不明であるため、さらに木探索を前進させるため、Q3のXを0に変える。このときにD1はFとなつて成功する。この項番12の状態が第7図(f)である。入力探索器Iの出力がQ1が1、Q2がR、Q3が0及びD1がX、*EがXである。このとき組み合わせ回路に入力される信号を用いるとg1の出力はQ2がRであるからFとなる。g2の出力はQ3が0であるから1である。g3の出力はQ1が1でg1の出力がFであるからRとなる。従つてg4の出力はFになつて活性化状態が伝播することになり成功となる。すなわちパターンIが求めたことになる。これを検査器Iが入力探索器に成功として通知する。

項番13に移る。第7図(g)は項番13の状態を入力探索器II及び検査器IIが接続された状態である。項番12で求めた論理から、Q1が1、Q2が0、Q3が0という制約条件が入力探索器2より出力され、検査器IIにおいては、D1,D2,D3がそれぞれ1,1,0であることを記憶しておく。そしてパターンIIの生成を行う。項番13の状態から、g1,g2,g3がそれぞれ1,1,0であることになり、g4の出力は1すなわちD1が1となる。しかしD2はXの状態であるから失敗に終わる。そのため項番15に移る。すなわちDIをXから0に変える。これを変えてもD2はXのままであるから不明である。従つて木探索を前進させ、*Eをさらに0に変える。Eで0であると、D2が0であるから不明となる。

第7図(h)は項番17の状態である。入力探索器2の出力はQ1,Q2,Q3,DI,*Eが1,0,0,0,1の状態である。このときg1の出力はQ2が0であるから1、g2の出力はg2、g3とともに0であるから1、g3の出力はg1の出力が1、Q1の出力が1であるから0であつて、g4の出力は1となる。従つて、D1が1となる。さらにDIが0、*Eが1であることから、D2,D3はそれぞれ1,0となる。これは成功の状態である。すなわちパターンIIも求められたことを意味する。

第8図は入力探索器のハードウェアの構成図である。

(a)は入力探索器のブロック図、(b)はその動作概要図、(c)は入力探索器の第i番目のセルIsiの内部の構成図である。

入力探索器はクロックに同期してパターンを取り替える。初期状態では全ISの出力はXである。MD.2=0によりactiveであるISの出力は、第8図(c)に示されるように、

$$X \rightarrow V \rightarrow \neg V \rightarrow X$$

と変化する。VはMD.0により0または1が指定される。MD.2=1のときinactiveであるISの出力は、MD.1、0に

より0,R,F,1のいずれかに固定される。出力検査部14の検査器からくるバックトラック信号Btrkに関し、Btrk=00のとき入力探索器は動作しない。Btrk=01のとき入力探索器はリセットする(すべてのISの出力をXとする)。Btrk=10のとき入力探索器は前進する。Btrk=11のとき入力探索器は後退すなわちバックトラックする。キャリ(CR,CL)は、入力探索器においてactiveとなっているIS(MD.2=0)の状態を伝達する。CRは自分より左のISの出力がすべてXでないとき、1となる。CLは自分より右にVを出力しているISがあるとき、1となる。最も左のIS(IS₀)のCR入力値は1、最も右のIS(IS_{n-1})のCL入力値は0とする。

例えば入力探索器が第8図(b)の状態にあるとき(すべてのモード信号MDi=000とする)、前進する場合、Xを出力している最も左にあるISの出力値をVとする。すなわち、CR=1を入力しており、かつXを出力しているIS₉の出力を0とする。後退する場合、Vを出力している最も右にあるISの出力値を

$$\neg V$$

(反転)とし、それより右にあるISの出力をXとする。すなわち、CL=0を入力しており、かつ0を出力しているIS₆の出力を1とし、CL=0を入力しており、かつ1を出力しているIS₇,IS₈の出力をXとする。

第8図(c)と(d)は、それぞれ入力探索器の各セルIsiの内部のブロック構造と該各ブロックの真理値表である。CR_iのブロックはCR_{i-1}から1ビットの情報を受け取り、MD_iから3ビットの情報を受け、CR_iを出力する。真理値表に示すように、初期値は0とし、CR_{i-1}がaのとき、そして、MD_i=1**のときにCR_iはaとなる。CR_{i-1}の状態に係わらず、PG_iが0または1のときそしてMD_i=0**のときにCR_iは1となる。PG_iがXである場合には、CR_iは0となる。その出力は3ビットである。

PG_iの出力を決定する場合、現在のPG_iがaであつて、バック・トラック信号Btrkが00のとき、次のPG_iはaとなる。モード信号MD_iが100のとき、そしてバック・トラック信号Btrkが00でなければ、PG_iは0となる。モード信号MD_iが111のときで、かつまた、Btrkが00でなければ、PG_iは1となる。MD_iが110、Btrkが00でないとき、PG_iはFとなる。MD_i=101、Btrkが00でないときPG_iはRとなる。MD_iが0**、Btrkが01のときにPG_iはXとなり、MD_iが0*aで現在のPG_i=Xで、CC_i=1*,Btrk=10のとき次のPG_iはaとなる。そしてMD_iの上位ビットが0、そして現在のPG_iがa、Btrkが10のとき、次のPG_iはaとなる。MD_i=0*0で、現在のPG_iが0であつて、Btrkが1,1であつて、さらにCC_iの下位ビットが0のときに次のPG_iは1となる。また、現在のPG_iが0、CC_iの下位ビットが1のときに次のPG_iは0、現在のPG_iが1、CC_iの下位ビットが0のときに次のPG_iはX、現在のPG_iが1のとき

で、 CC_i の下位ビットが1のときに次の PG_i は1、現在の P
 G_i がXのときで、 CC_i が**のときには次の PG_i はXとな
る。また、 MD_i が0*1で、かつ $Btrk$ が11である場合に
は、次の PG_i は、現在の PG_i が1、 CC_i の下位ビットが0の
ときに0、現在の PG_i が1、 CC_i の下位ビットが1であると
き1、 PG_i が0で CC_i の下位ビットが0のときX、 PG_i が
0、 CC_i の下位ビットが1のときに0、 PG_i がXであって CC
 i が**のとき、Xとなる。

第9図は第3図(b)の各項番の固定条件を生成する
セル IS_i ($i=0\sim4$)のモードパターン図である。項番
1から8ではQ2をFに固定するため IS_1 の MD_i を110にし
ている。また項番5から6ではQ1、Q2を1にするため IS_0
と IS_1 の MD_i を111にし、Q3を0にするため IS_2 の MD_i を100
にしている。

項番9~16ではQ2をRにするため、 IS_1 の MD_i を101に
し、項番13から16では、Q1を1にするため IS_0 の MD_i を11
1にし、Q2とQ3を0にするため IS_1 と IS_2 の MD_i を100とし
ている。

第10図(a)は本発明の全体処理のフロー図である。
S21においてパスを設定する。すなわちパターンIのた
めの制約条件を設定し、S22でパターンIの生成を行
う。パターンIが生成できない場合すなわち不可能であ
る場合には、テスト不可能とする。パターンIが生成さ
れた「成功」である場合にはS23に移り、パターンIIの
ための制約条件の設定を行って、S24でパターンIIの生
成を行う。もしパターンIIの生成ができない場合すなわ
ち不可能である場合にはS22に戻ってパターンIの生成
を再度行う。S24でパターンIIの生成が成功した場合、
すなわち解が発見された場合には、パターンI、パターン
II及びパターンIに対する期待値を格納する。

第10図(b)はパス設定S21における処理フローであ
る。与えられたパスに基づきパス上にないゲートとパス
上にあるゲートの動作論理を区別して設定する。パス上
にあるゲートについては、入力ピンのどれがパス上にあ
るかも認識し、動作論理と対応するように設定する。ま
たパスの始点をRかFに設定する(S25)。

第10図(c)はパターンIの生成の処理S22に対する
フロー図である。S26において入力のうち値に自由度が
あるもの、すなわちXであるものから、1つの入力を選
択し、その値を0乃至1にする。S27に移り、組み合わ
せ回路シミュレーション部13の真理値表に基づき、シミ
ュレーションを行う。この場合の真理値表はプリミティ
ブな方を用いる。S28において、パス終点にFないしR
が検出されたかを出力検査部14でチェックする。もしイ
エスであるならば、パターンIの発見を通知する(S2
9)。もしノーであるならば、可能性があるかどうかをS
30で検査し、それがイエスであるなら、戻って自由度の
あるものを0または1に倒す。可能性がない場合には、
S31に移る。そして最も最近、値をXから0(乃至1)
に倒し、かつその値を1(乃至0)に取り替えていない

入力の値を1(乃至0)に取り替える。またそれ以後X
から0(乃至1)に倒した入力については、すでに値を
取り代えているので、値をXに戻す。そしてS32に移
る。ここでは、パス始点のみRないしFで、他はすべて
Xに戻ってしまったかどうかをチェックする(S32)。
もしイエスであるならば、不可能な状態であるから解な
しとして通知する(S33)。もしそうでなければ、S27に
戻ってシミュレーションを続行する。

第10図(d)はパターンIIのための制約条件の設定S2
3の処理フローである。S41において、パターンIで確定
した値をもつ入力についてはパターンIIの探索ではその
入力をその確定値に固定する。ただし、パスの始点値が
Rの場合は0、Fの場合は1に固定する。そしてS42に
移って、組み合わせ回路の入力と出力に関係がある場
合、すなわち、クロックを打つとある出力の値がある入
力の値として伝わる場合、すなわち、レジスタの入力と
出力との間に関係がある場合、パターンIで値の確定し
ている入力に対応する出力の値を入力に固定する。
ただし、入力値がRの場合は1、Fの場合は0に固定す
る。

第10図(e)はパターンIIの生成S24の処理フロー図
である。S43において、まず入力のうち値に自由度があ
るもの、すなわち、Xであるものから1つの入力を選
択し、その値を0ないし1に倒す。そしてS44において、
組み合わせ回路シミュレーション部13の真理値表に基づ
くシミュレーションを行う。この場合の真理値表はノン
プリミティブな方を用いる。S45において、出力値が
出力の固定条件に一致したかを観測し、もしイエスであ
るならばパターンIIの発見となる。もしノーである場合
には、不一致かどうかを見る(S46)。不一致でない場合
にはS43のシミュレーションに戻り、イエスである場合
にはS47になる。そしてここでは、最も最近、値をXか
ら0(乃至1)に倒し、かつその値を1(乃至0)に
取り代えていない入力の値を1(乃至0)に取り代
える。またそれ以後のXから0(乃至1)に倒した入力
については、既に値を取り代えているので値をXに戻
す。そしてS48に移って、ここで固定条件以外の入力値
がすべてXに戻ったかどうかを観測する(S48)。もし
戻ってしまったならば、解なし(S49)となるが、戻っ
ていなければノーとなってシミュレーションのS44に戻
る。

〔発明の効果〕

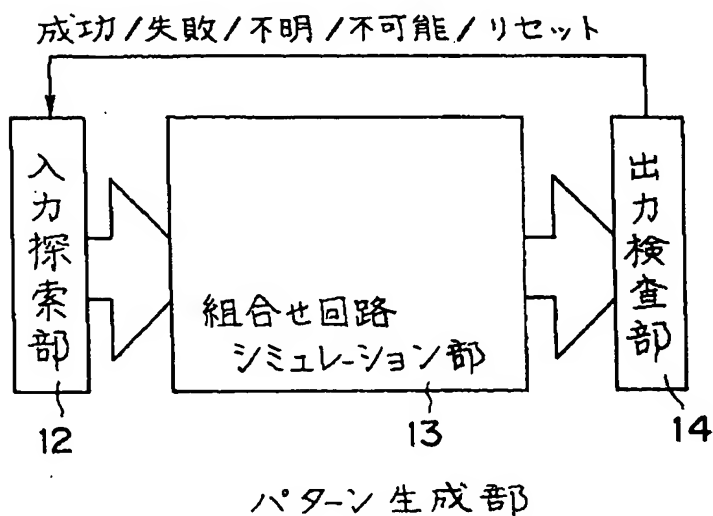
以上詳細に説明したように、本発明によれば、従来困
難であったLSIのディレイ故障の検査が可能となる。さ
らに、そのために必要なテストは従来のスキャンテスト
用のスタティックな故障検査用のテストに、高速なクロ
ックパルスを2発打つ回路を追加したものでよく、簡単
に構成できる。

【図面の簡単な説明】

第1図は本発明のシステム構成図、

第2図(a)は本発明のシステムの処理概要図、
 第2図(b)は本発明のパターン生成部の構成図、
 第2図(c)はテスト部の処理フローを示す図、
 第2図(d)は入力パターンIを求めるパターン生成部の動作概念図、
 第2図(e)は入力パターンIIを求めるパターン生成部の動作概念図、
 第3図(a)は本発明のパターンI、パターンIIを求めるために用いられる実施例に用いる回路図、
 第3図(b)はパターンIとIIの生成手順を示す探索順序の実施例図、
 第3図(c)はテスト部の処理フロー、
 第3図(d)は本発明の動作説明を示す回路図、
 第3図(e)は本発明の動作説明を示すタイムチャート、
 第4図は入力パターンIのためのシミュレーションを示す図、
 第5図(a)は本発明の機構原理図、
 第5図(b)はパターン生成回路の動作概要図、
 第6図は本発明の入力パターン生成回路図、
 第7図は第3図(b)のパIとIIの生成における項番の状態を示す図であり、(a)項番1の状態、(b)は項番4の状態、(c)は項番6の状態、(d)は項番7の状態、(e)は項番9の状態、(f)は項番12の状態、(g)は項番13の状態、(h)は項番17の状態、
 第8図(a)は入力探索器きブロック図、
 第8図(b)は第8図(a)の動作概要図、

【第2図(b)】



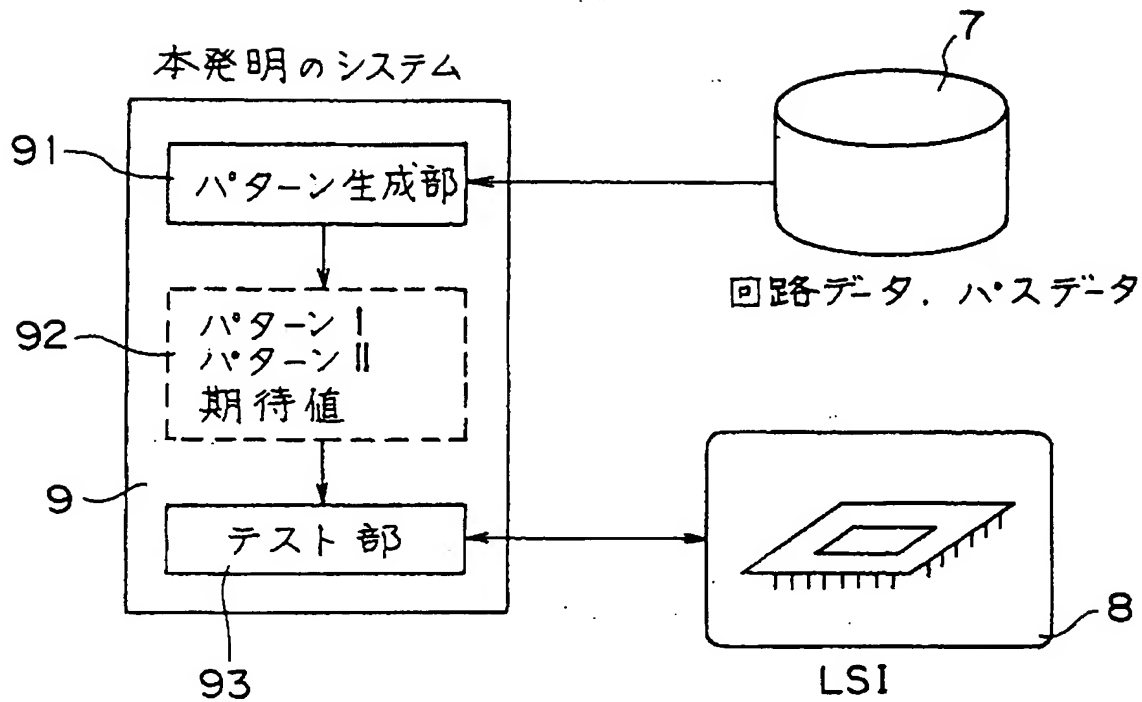
第8図(c)は入力探索器の第i番目のセルIs_iの内部構成図、
 第8図(d)は入力探索器の各ブロックの真理値表、
 第9図は第3図(b)の各項番の固定条件を生成するセルのモードパターン、
 第10図(a)は本発明の全体処理に対するフロー図、
 第10図(b)本発明のパス設定における処理フロー、
 第10図(c)は本発明のパターンIの生成処理に対するフロー図、
 第10図(d)は本発明のパターンIIのための制約条件の設定用の処理フロー、
 第10図(e)は本発明のパターンIIの生成処理に対するフロー図、
 第11図は従来のスキャンパス方式を示すブロック図である。
 91……入力パターン生成手段
 92……期待値
 93……テスト手段
 S21, S23……パス設定手段
 S22……パターンI生成手段
 S24……パターンII生成手段
 S26, S43……選択手段
 S27, S44……シミュレーション手段
 S28……検出手段
 S31, S32, S47, S48……木探索手段
 S45, S46……検査手段

【第9図】

項番	固定条件	MDi				
		IS ₀	IS ₁	IS ₂	IS ₃	IS ₄
1~8	固定条件I	000	110	000	000	000
5~8	固定条件II	111	111	100	000	000
9~16	固定条件I	000	101	000	000	000
13~16	固定条件II	111	100	100	000	000

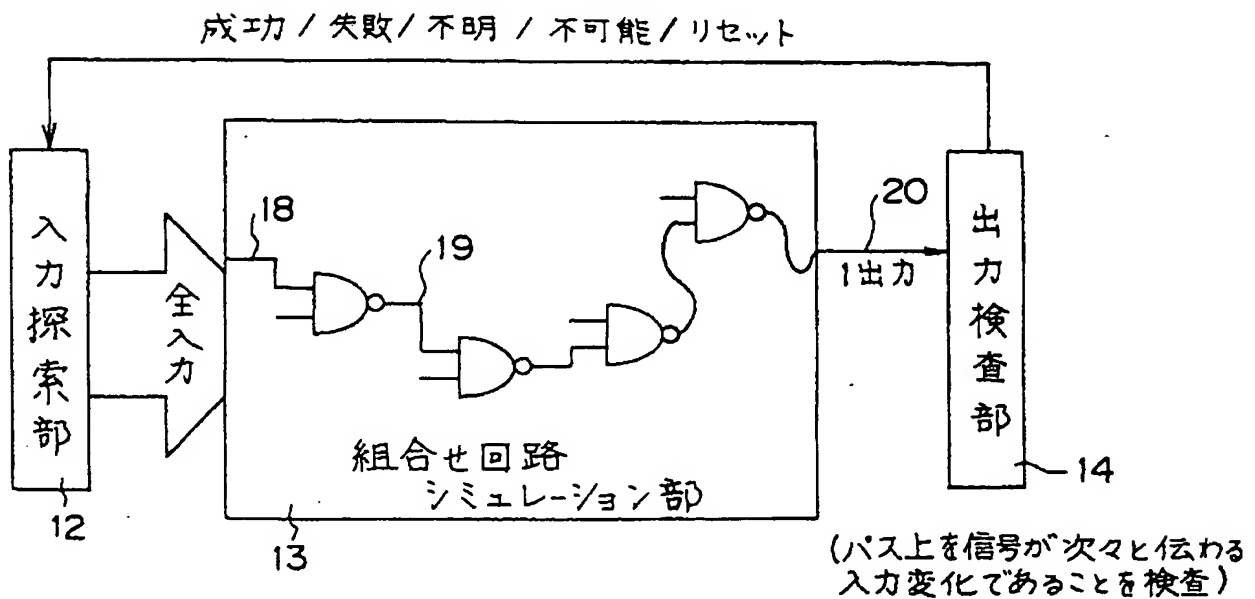
入力探索器の設定

【第1図】



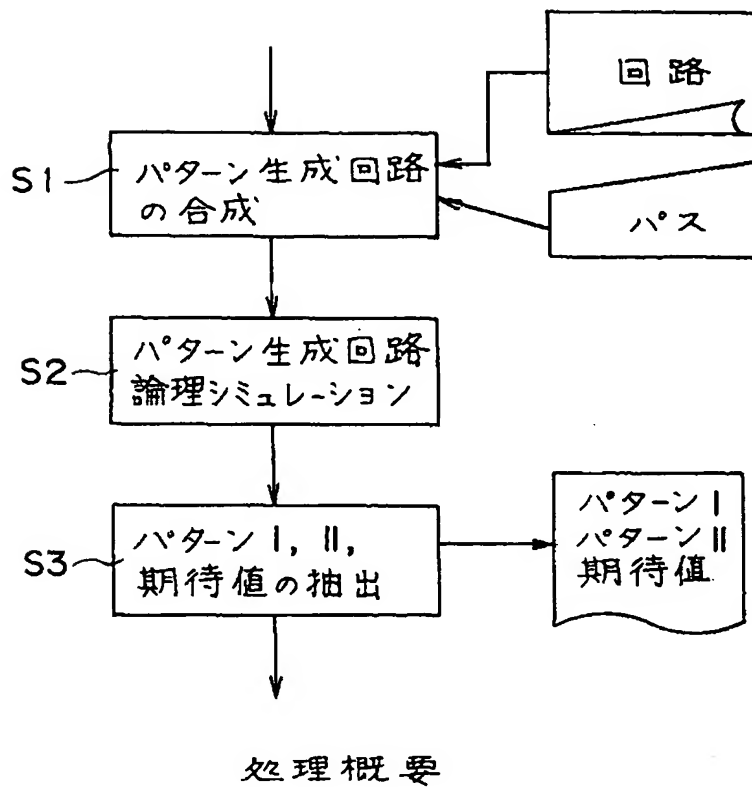
本発明のシステム図

【第2図 (d)】

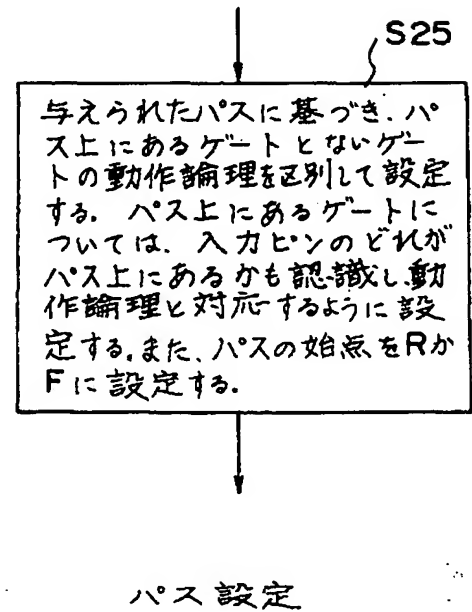


入力パターンⅠを求める概念図 (パターン生成部)

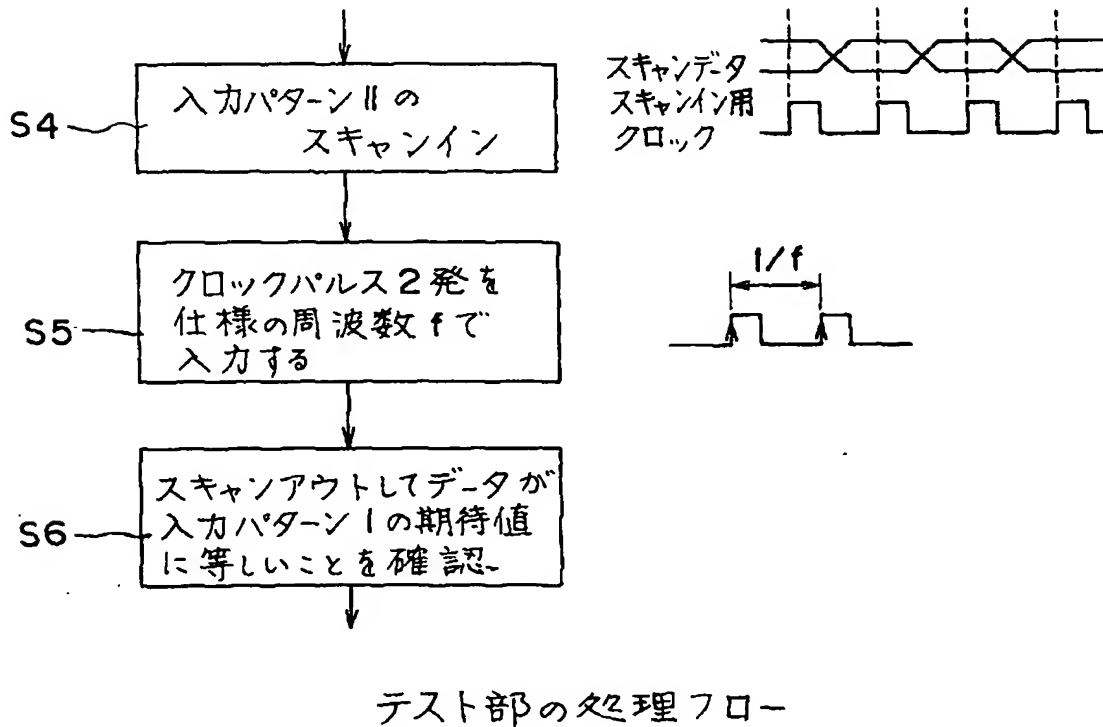
【第2図 (a)】



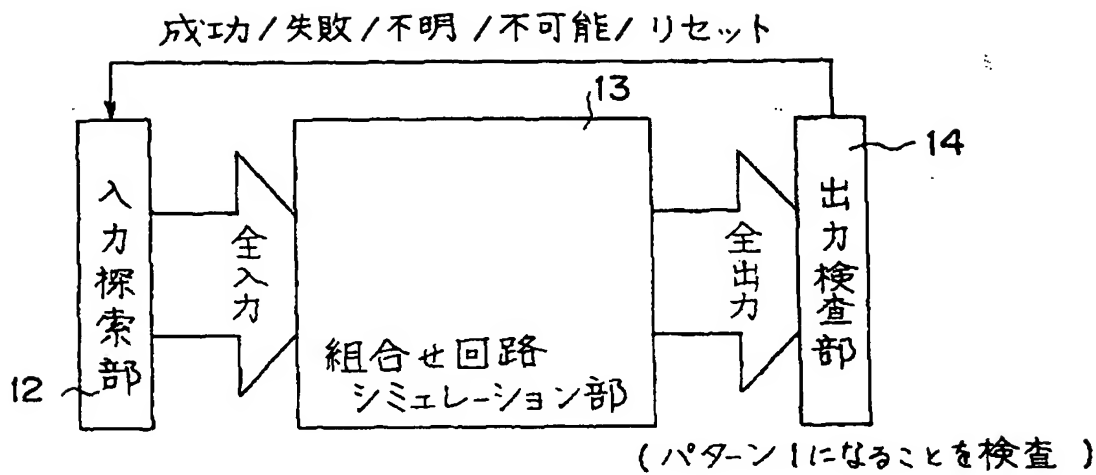
【第10図 (b)】



【第2図 (c)】



【第2図(e)】



入力パターンIIを求める概念図 (パターン生成部)

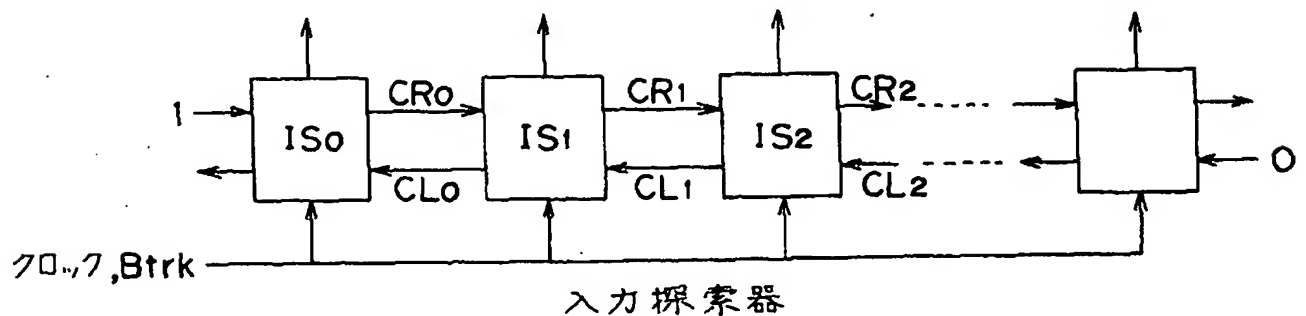
【第3図(b)】

パターン	項番	Q1	Q2	Q3	D1	*E	g1	g2	g3	D1	D2	D3	制約	
I	1	X	F	X	X	X	R	X	X	X	X	X	リット	開始状態
	2	0	F	X	X	X	R	1	B1	B0	X	X	リット	
	3	1	F	X	X	X	R	X	F	Y	X	X	不明	
	4	1	F	0	X	X	R	1	F	R	X	X	成功	
II	5	1	1	0	X	X	0	1	1	0	X	X	失敗	制約条件 =不可能
	6	1	1	0	X	X	0	1	1	0	X	X	失敗	
I	7	1	F	1	X	X	R	R	F	B1	X	X	失敗	不可能
	8	X	F	X	X	X	R	X	X	X	X	X	不可能	
I	9	X	R	X	X	X	F	X	X	X	X	X	リット	開始状態
	10	0	R	X	X	X	F	X	B1	B0	X	X	リット	
	11	1	R	X	X	X	F	X	R	Y	X	X	不明	
	12	1	R	0	X	X	F	1	R	F	X	X	成功	
II	13	1	0	0	X	X	1	1	0	1	1	0	リット	制約条件
	14	1	0	0	0	X	1	1	0	1	X	X	失敗	
	15	1	0	0	0	X	1	1	0	1	X	0	不明	
	16	1	0	0	0	0	1	1	0	1	0	0	不明	
	17	1	0	0	0	1	1	1	0	1	1	0	成功	

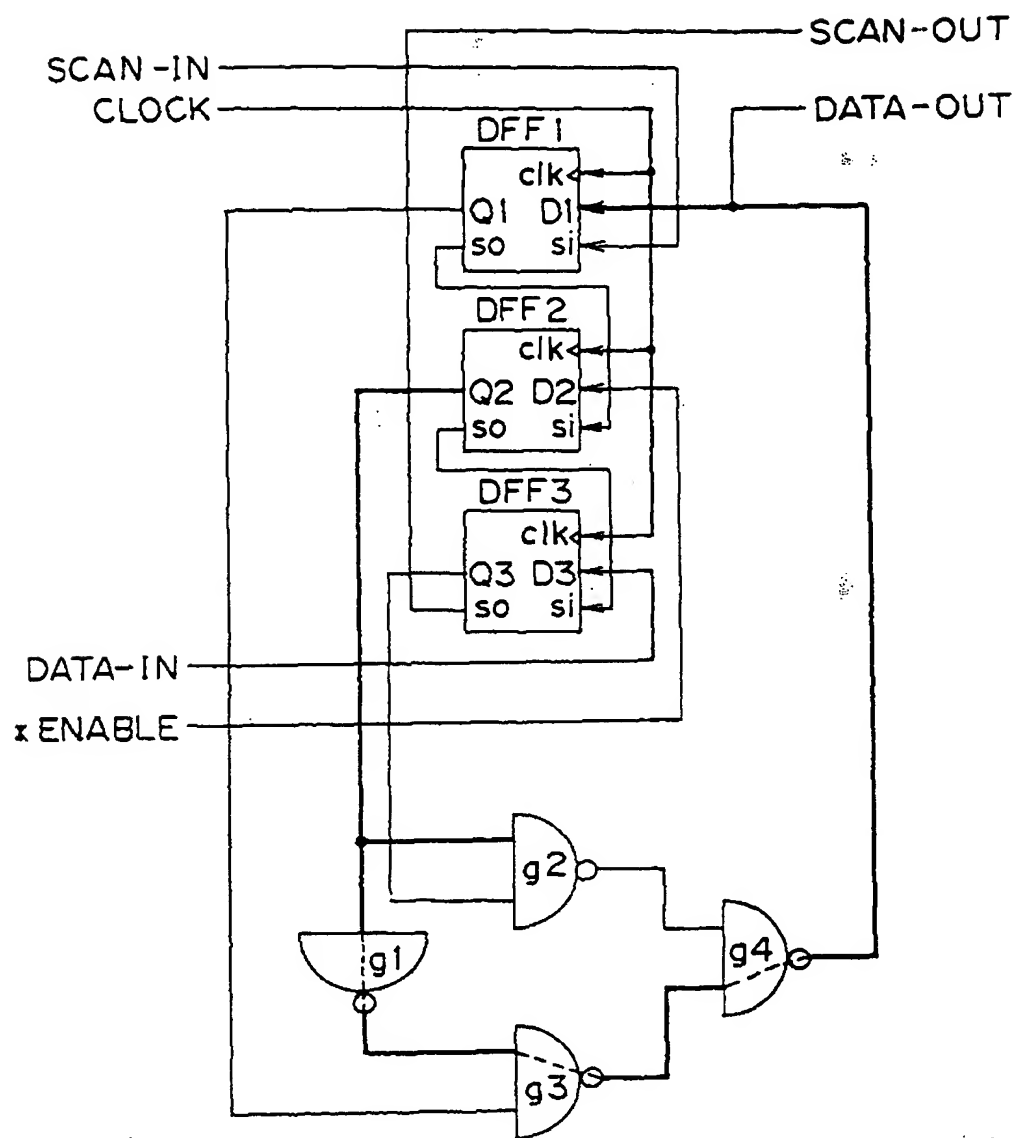
パターンIとIIの生成

【第8図(a)】

入力パターン

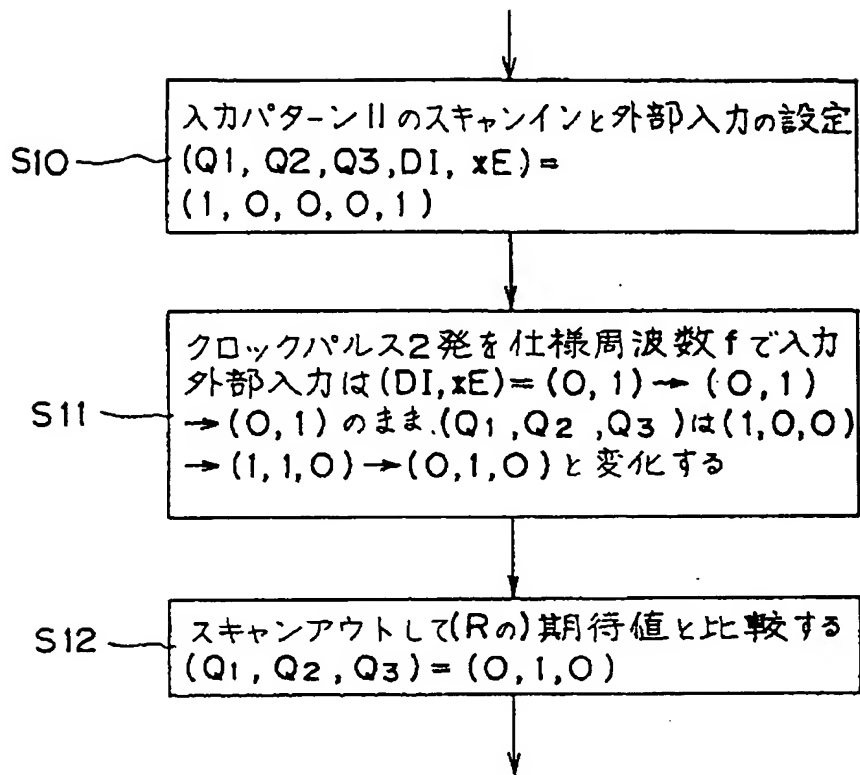


【第3図(a)】



実施例に用いる回路

【第3図(c)】



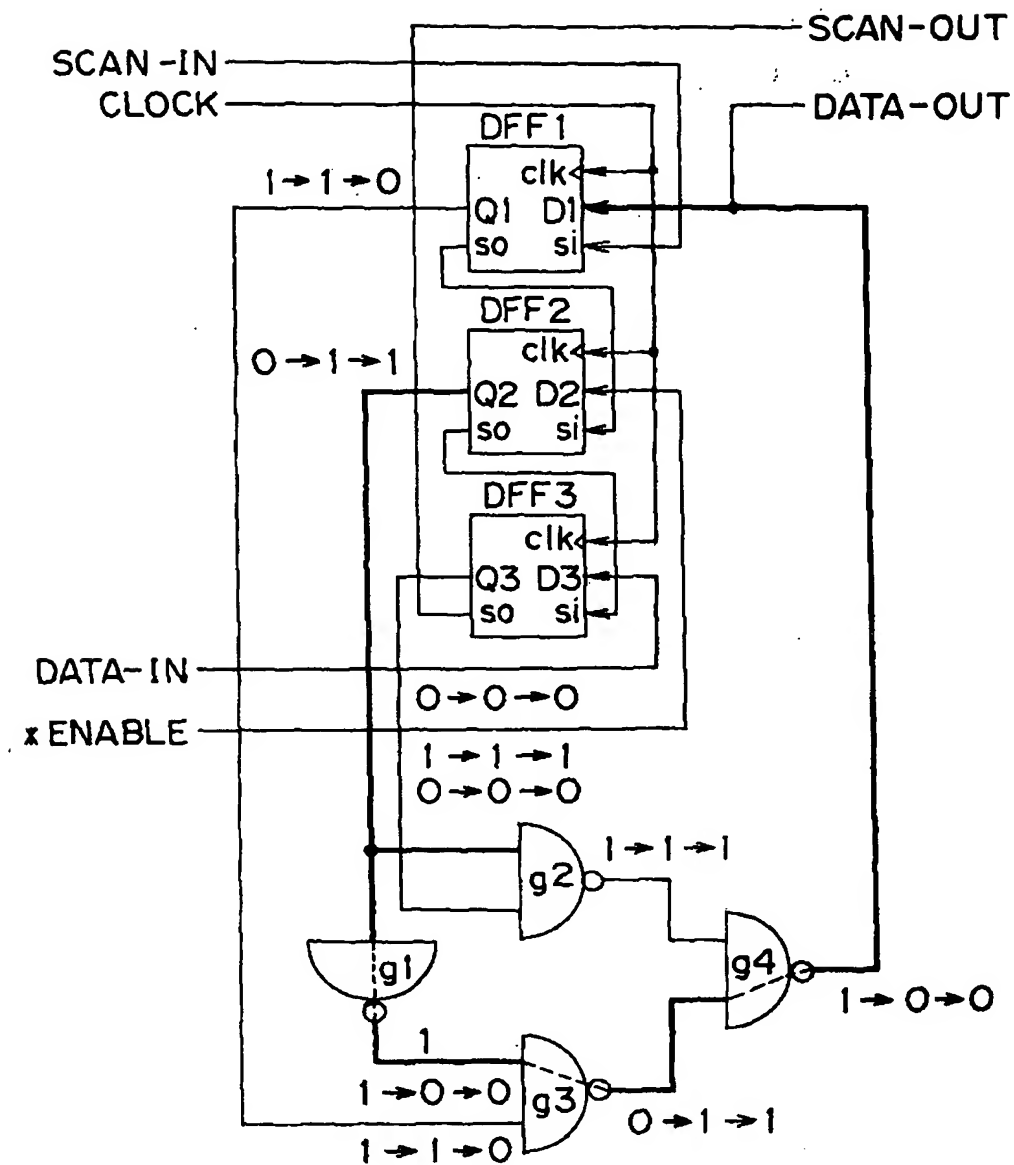
テスト部の処理フロー

【第8図(b)】

箱の番号	0	1	2	3	4	5	6	7	8	9	10	11
PG	0	0	0	0	1	0	0	1	1	X	X	X
CR (左は全て≠X)	1	1	1	1	1	1	1	1	1	0	0	0
CL (右にVあり)	1	1	1	1	1	1	1	0	0	0	0	0
前進時に変化するPG	0	0	0	0	0	0	0	0	0	1	0	0
後退時に変化するPG	0	0	0	0	0	0	1	1	1	0	0	0

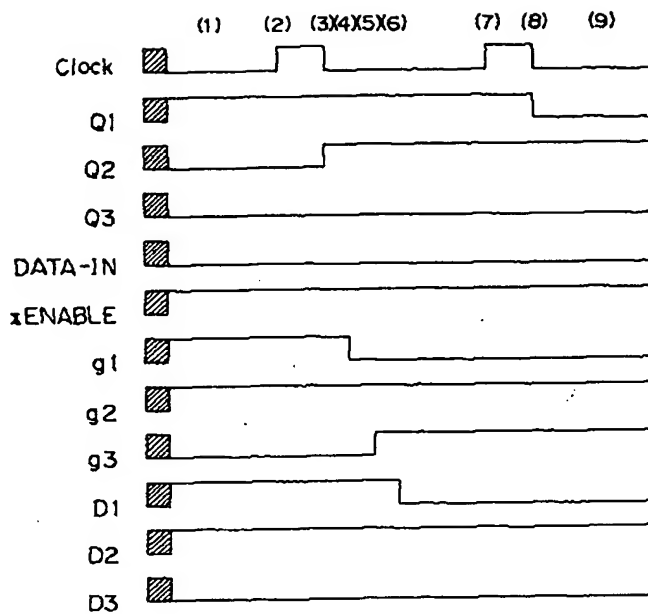
動作概要

【第3図(d)】



回路図による動作説明

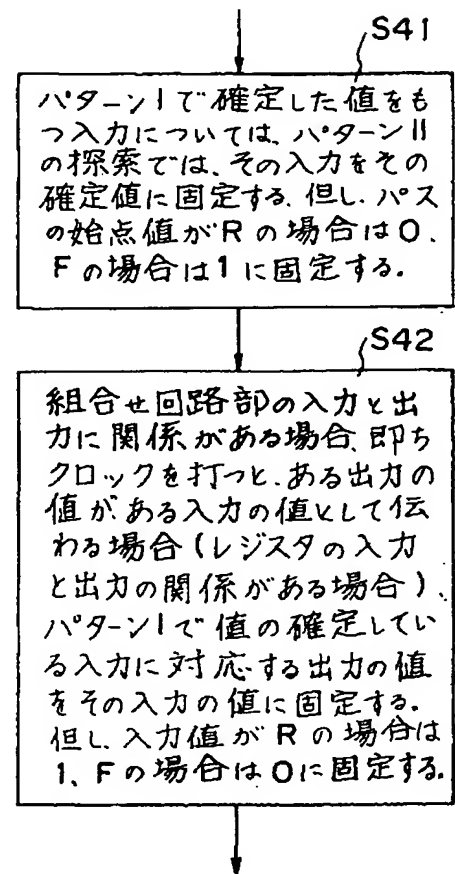
【第3図(e)】



- (1) スキャンインした時の状態
- (2) 1番目のクロック
- (3) DFF2がD2=1を取り込んで、Q2=0→1(R)に変化
- (4) Q2変化のため、g1=1→0(F)に変化
- (5) g1変化のため、g3=0→1(R)に変化
- (6) g3変化のため、D1=1→0(F)に変化
- (7) 2番目のクロック
- (8) DFF1がD1=0を取り込んで、Q1=1→0(F)に変化
- (9) スキャンアウトする時の状態

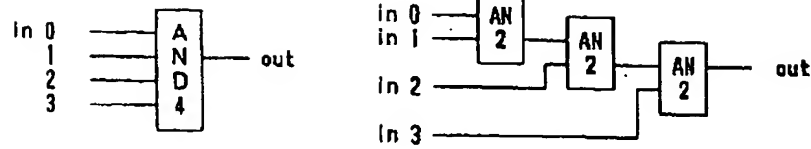
タイムチャートによる動作説明

【第10図(d)】



パターンIIのための
制約条件の設定

【第4図】



(1) AND2(Path-primitive)

パス上の入力端子								
	0	1	R	F	X	80	81	Y
0	E	E	80	80	80	80	80	0
1	E	E	R	F	X	80	81	Y
R	E	E	R	80	X	80	81	Y
F	E	E	80	F	Y	80	80	0
X	E	E	Y	Y	X	80	81	Y
80	E	E	80	80	80	80	80	80
81	E	E	81	80	80	80	81	81
Y	E	E	X	0	X	80	81	Y

(2) AND2(Non-path-primitive)

	0	1	R	F	X	80	81	Y
0	0	0	0	0	0	0	0	0
1	0	1	R	F	X	0	1	X
R	0	R	R	0	X	0	1	X
F	0	F	0	F	0	0	0	0
X	0	X	X	0	X	0	X	X
80	0	0	0	0	0	0	0	0
81	0	1	1	0	X	0	1	X
Y	0	X	X	0	X	0	X	X

(3) OR2(Path-primitive)

パス上の入力端子								
	0	1	R	F	X	80	81	Y
0	E	E	R	F	X	80	81	Y
1	E	E	81	81	81	81	81	1
R	E	E	R	81	81	81	81	1
F	E	E	80	F	X	80	81	Y
X	E	E	Y	Y	X	80	81	Y
80	E	E	80	80	80	80	81	80
81	E	E	81	81	81	81	81	81
Y	E	E	1	X	X	80	81	Y

(4) OR2(Non-path-primitive)

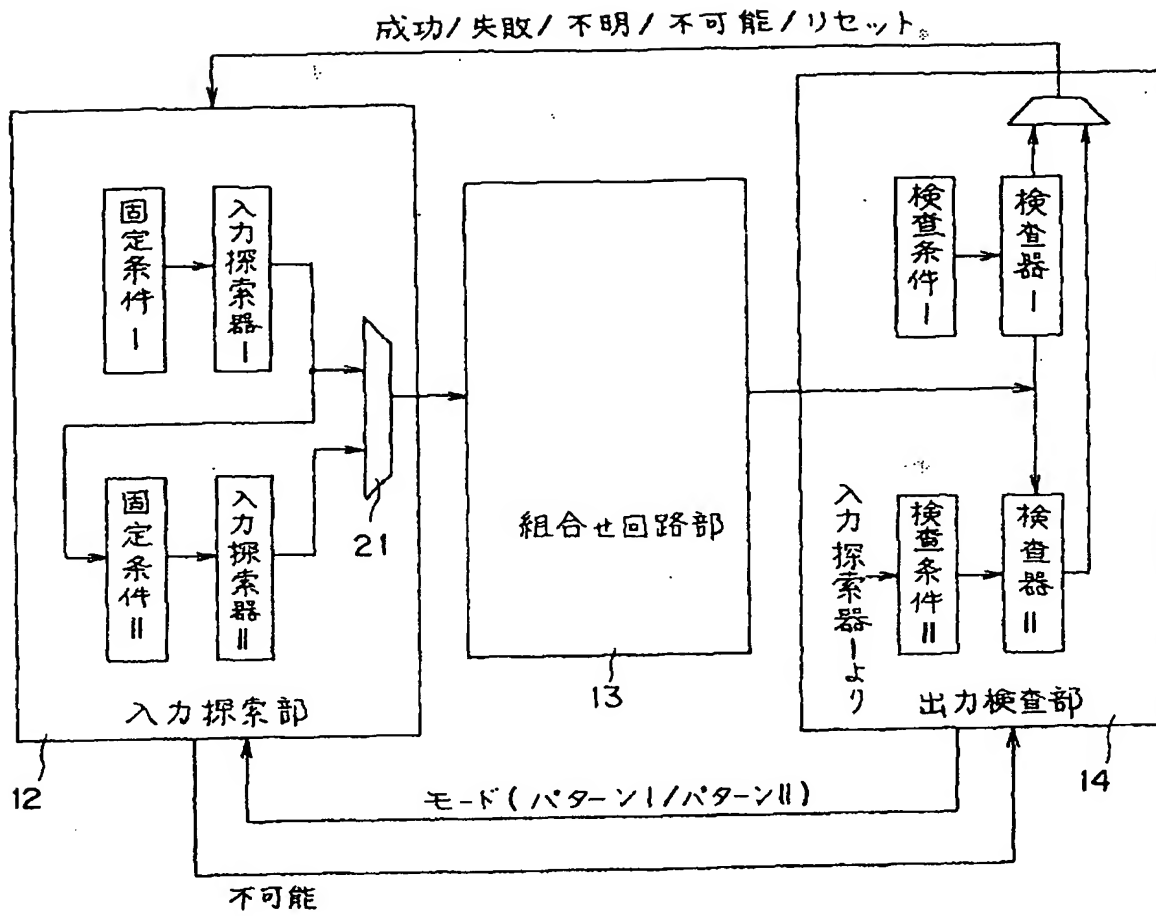
	0	1	R	F	X	80	81	Y
0	0	1	R	F	X	0	1	0
1	1	1	1	1	1	1	1	X
R	R	1	R	1	1	1	1	X
F	F	1	1	F	X	0	1	0
X	X	1	1	X	X	X	1	X
80	0	1	1	0	X	0	1	0
81	1	1	1	1	1	1	1	X
Y	X	1	1	X	X	X	1	X

(5) INV

	0	1	R	F	X	80	81	Y
Path-primitive	80	81	F	R	X	81	80	Y
Non-path-primitive	1	0	F	R	X	1	0	X

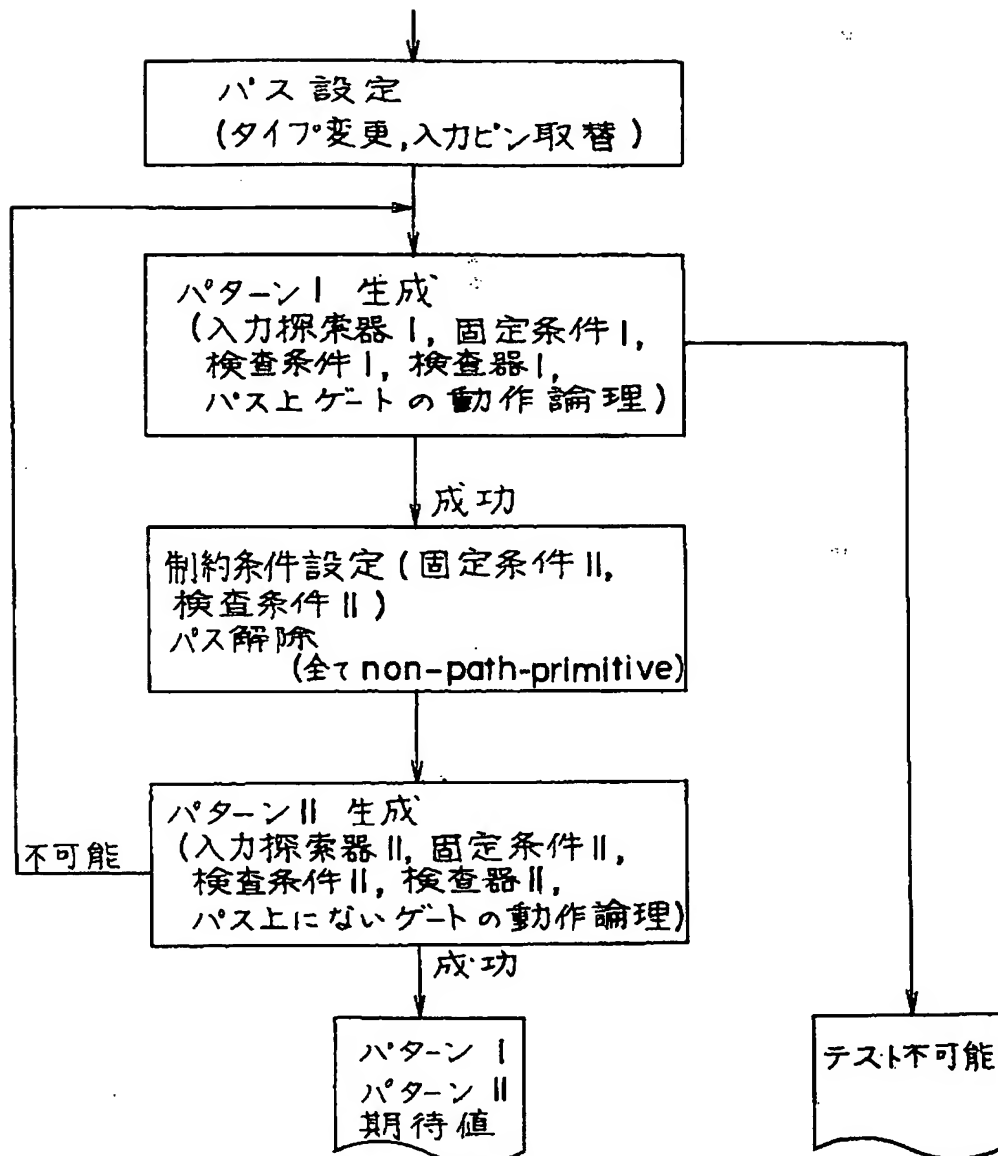
入力パターン1のためのシミュレーション論理

【第5図(a)】



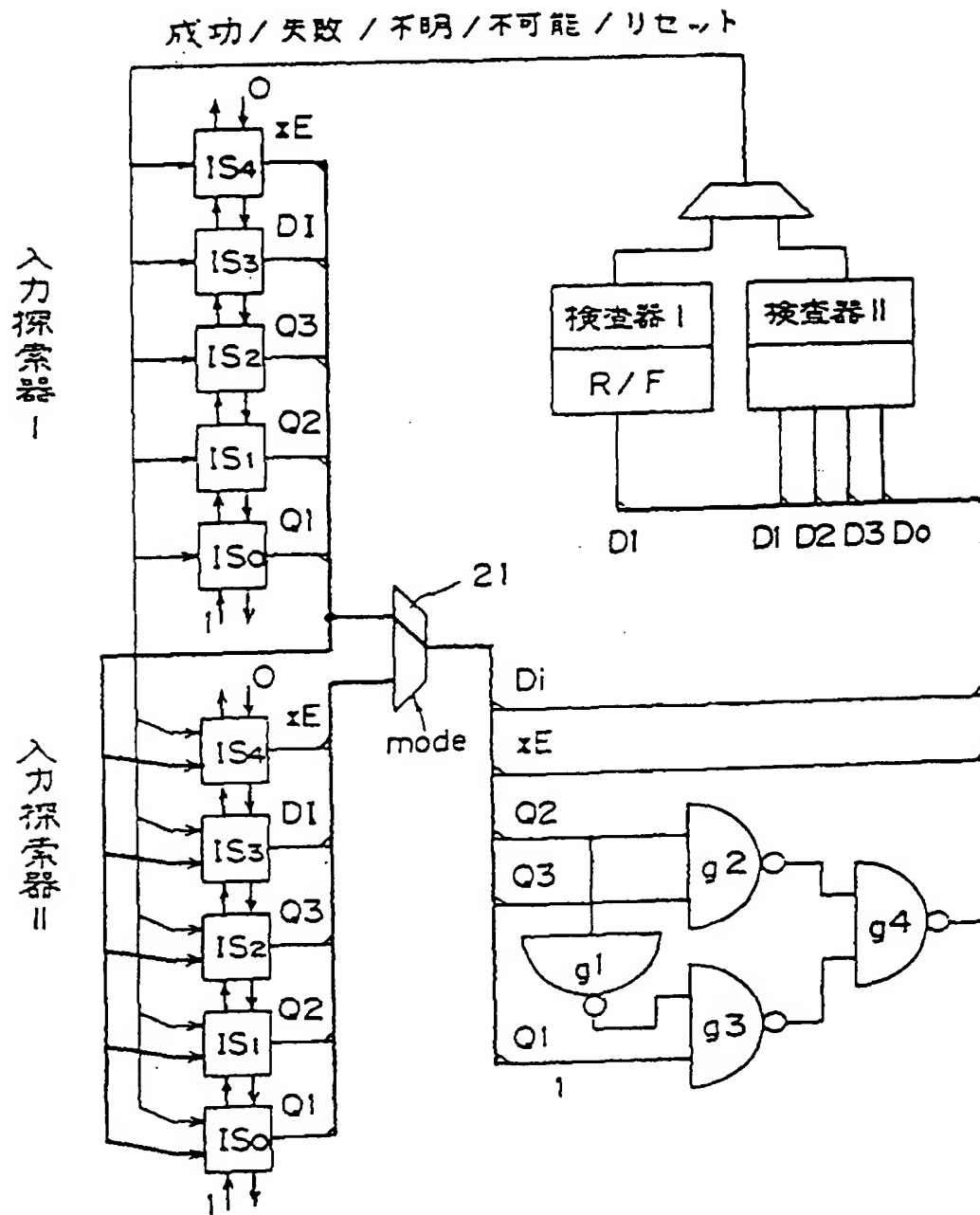
原理図

【第5図 (b)】



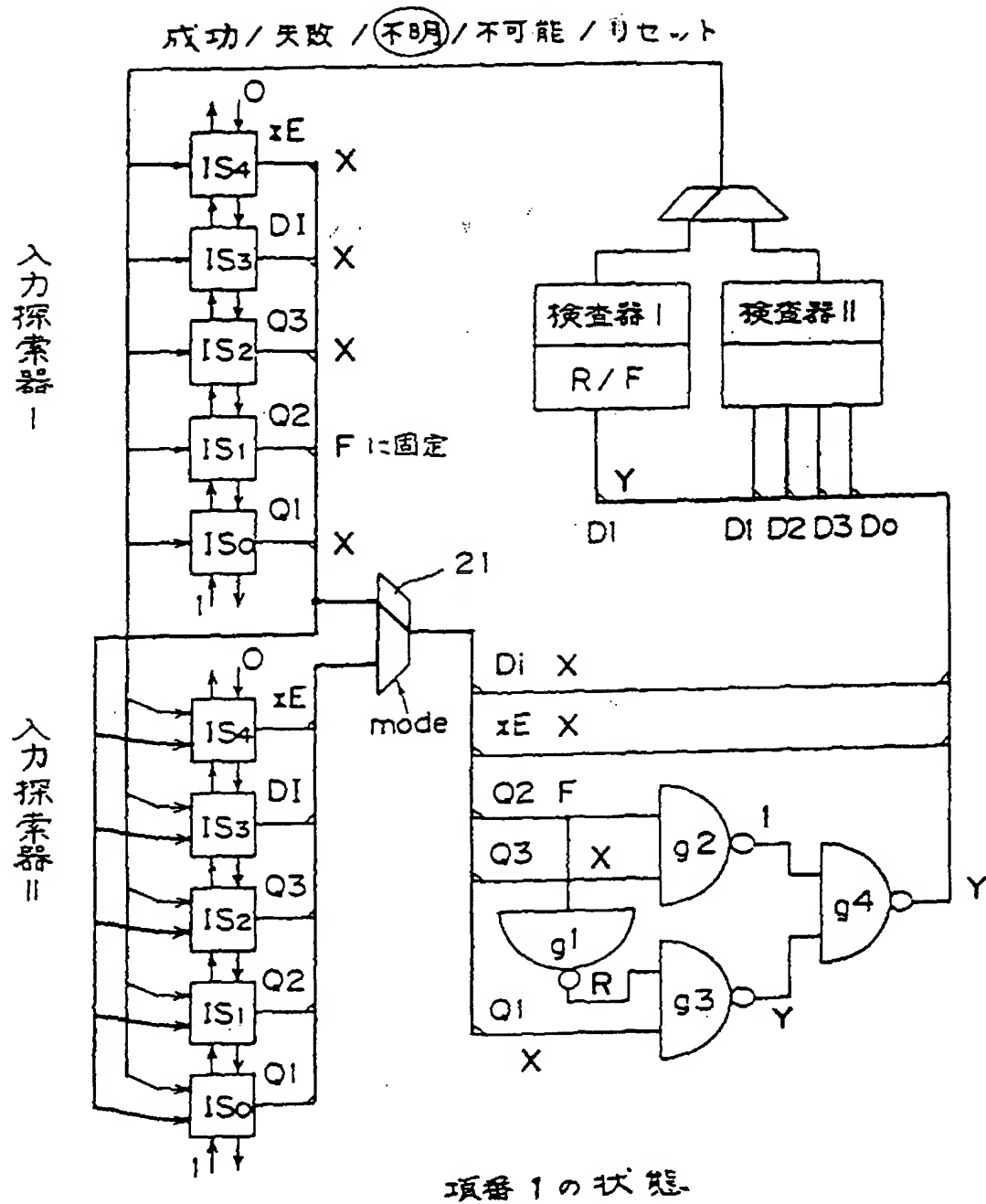
パターン生成回路の動作概要

【第6図】

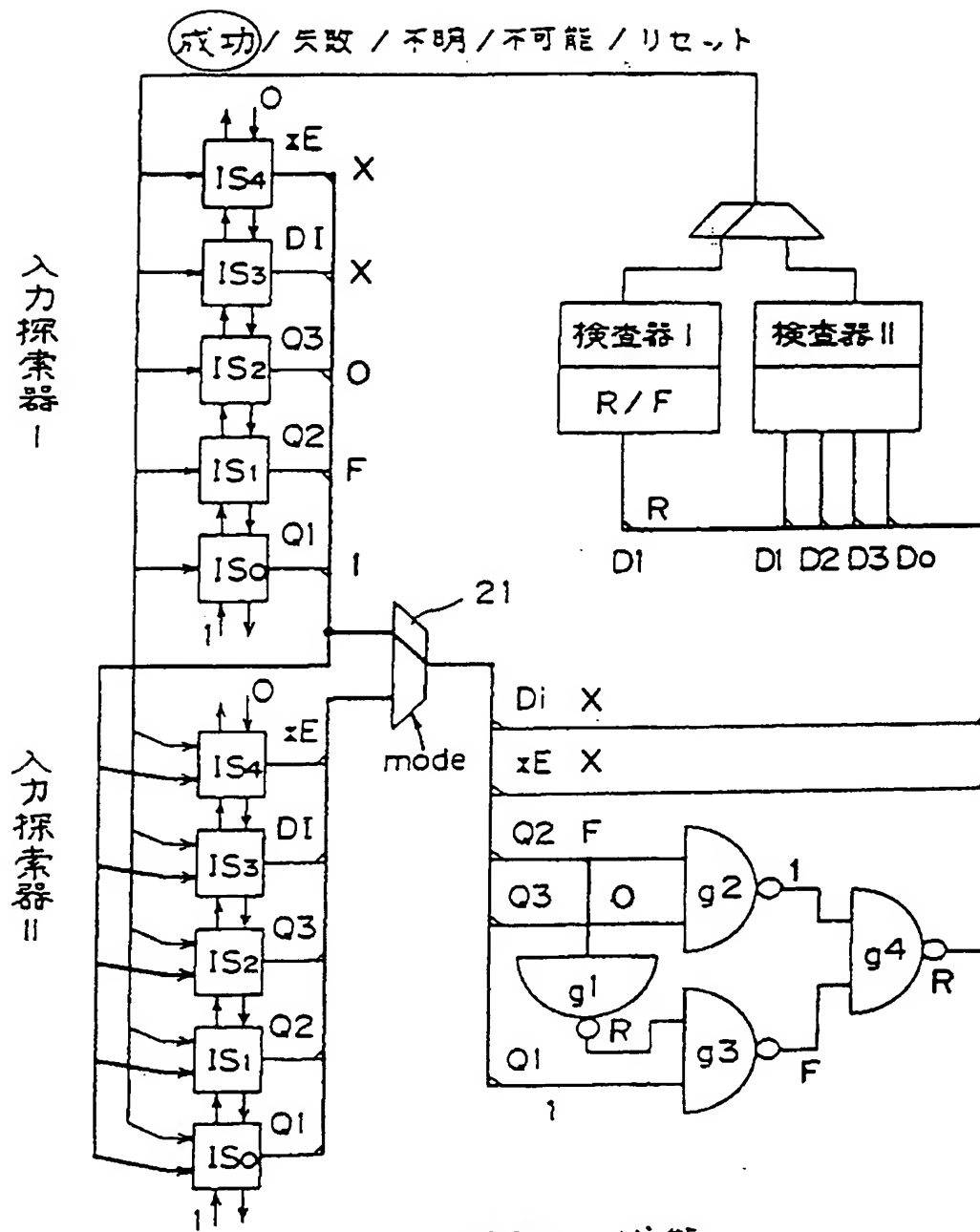


入力パターン生成回路

【第7図(a)】

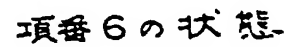


【第7図 (b)】

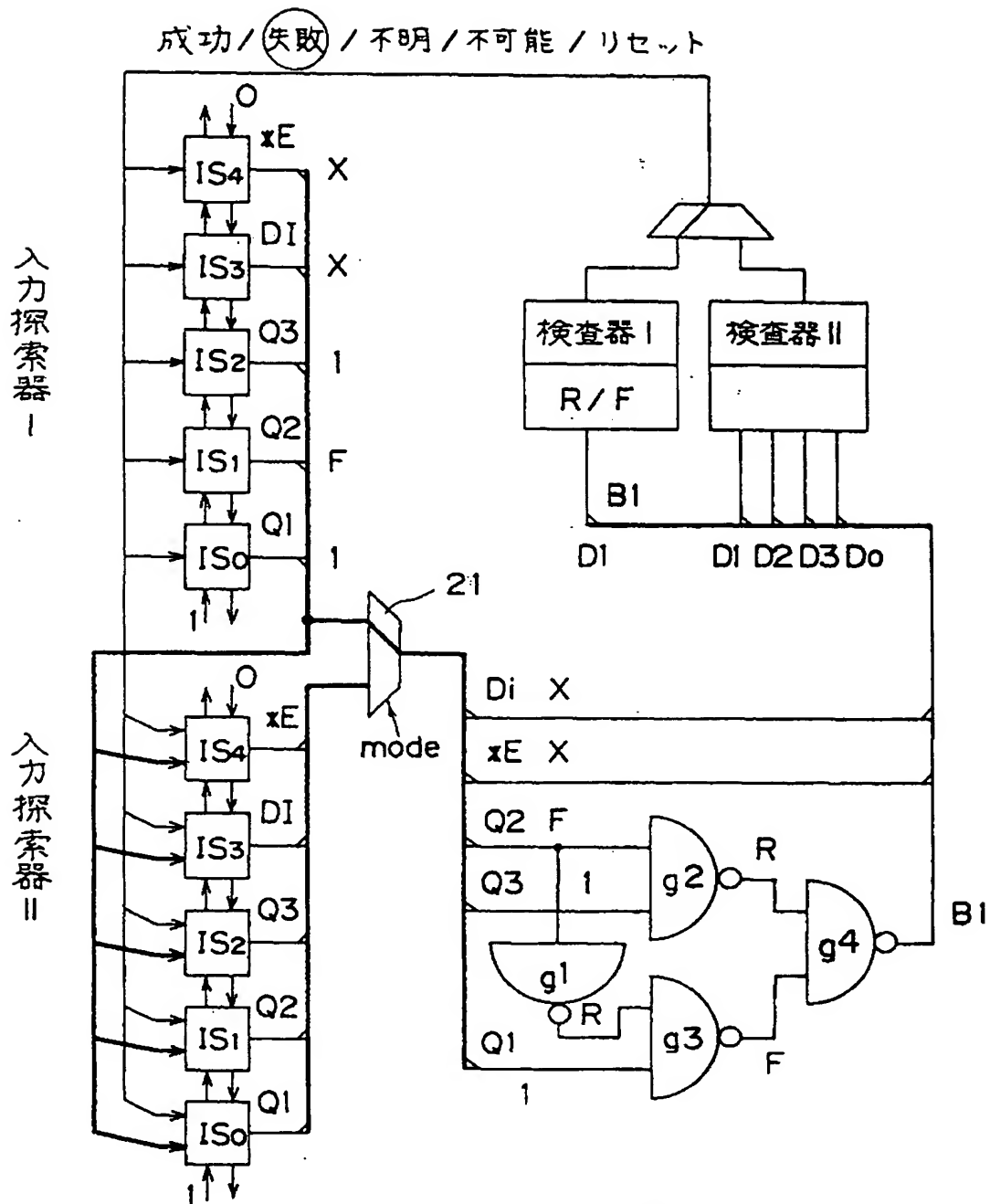


項番4の状態

成功 / 失敗 / 不明 / (不可能) / リセット

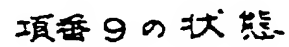


【第7図(d)】



項番7の状態

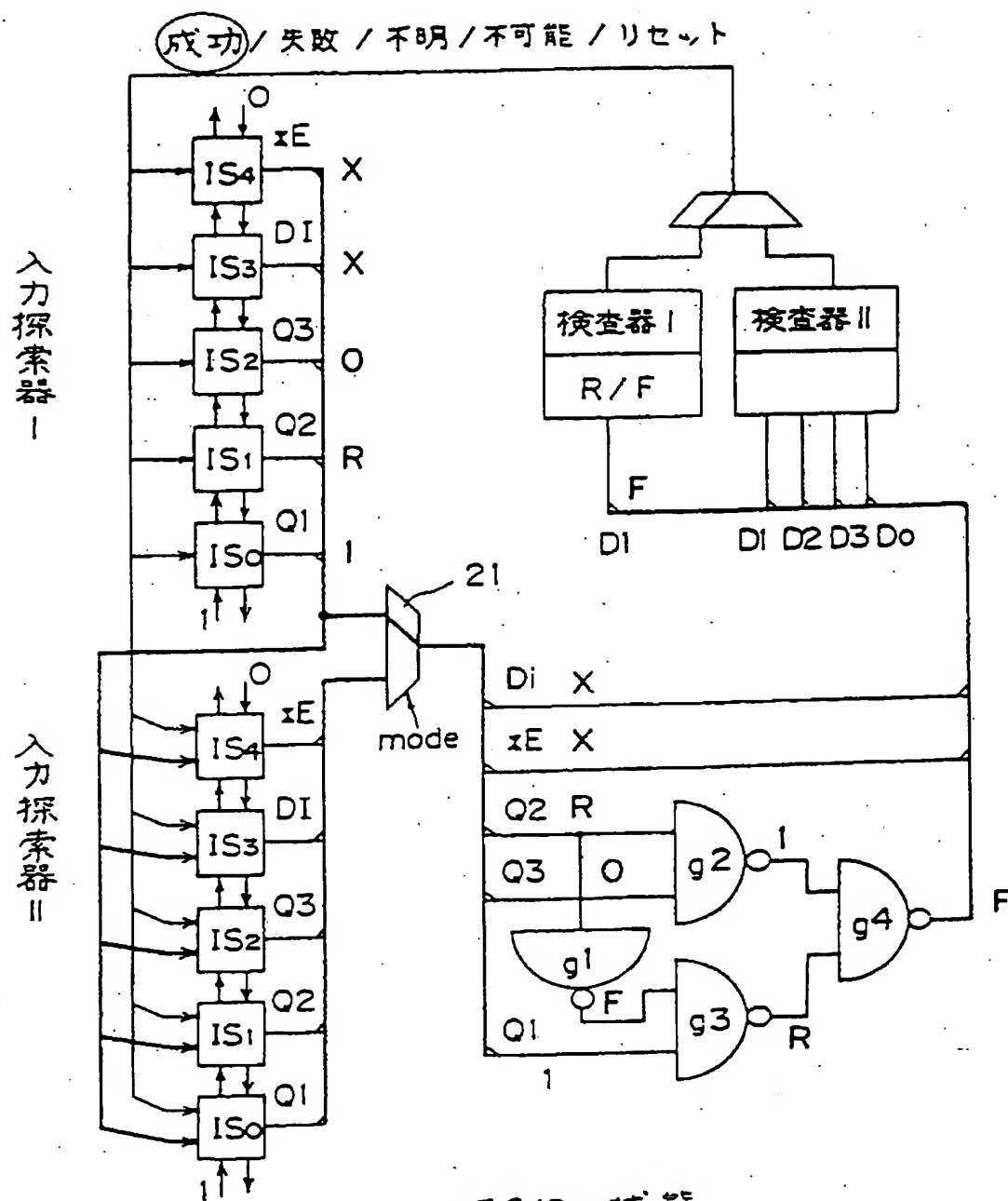
成功 / 失敗 / (不明) / 不可能 / リセット



入力探索器

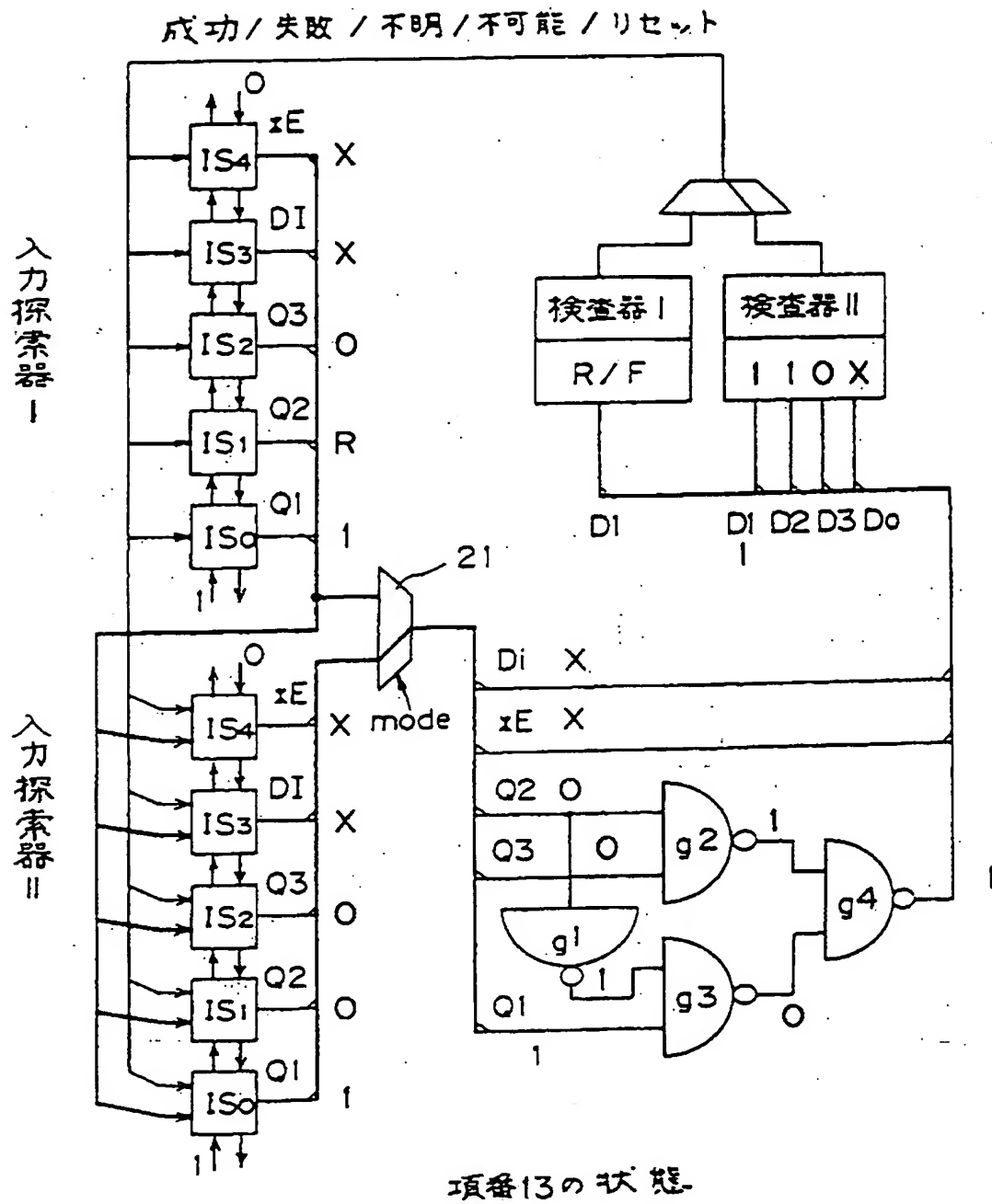
入力探索器 II

【第7図 (f)】

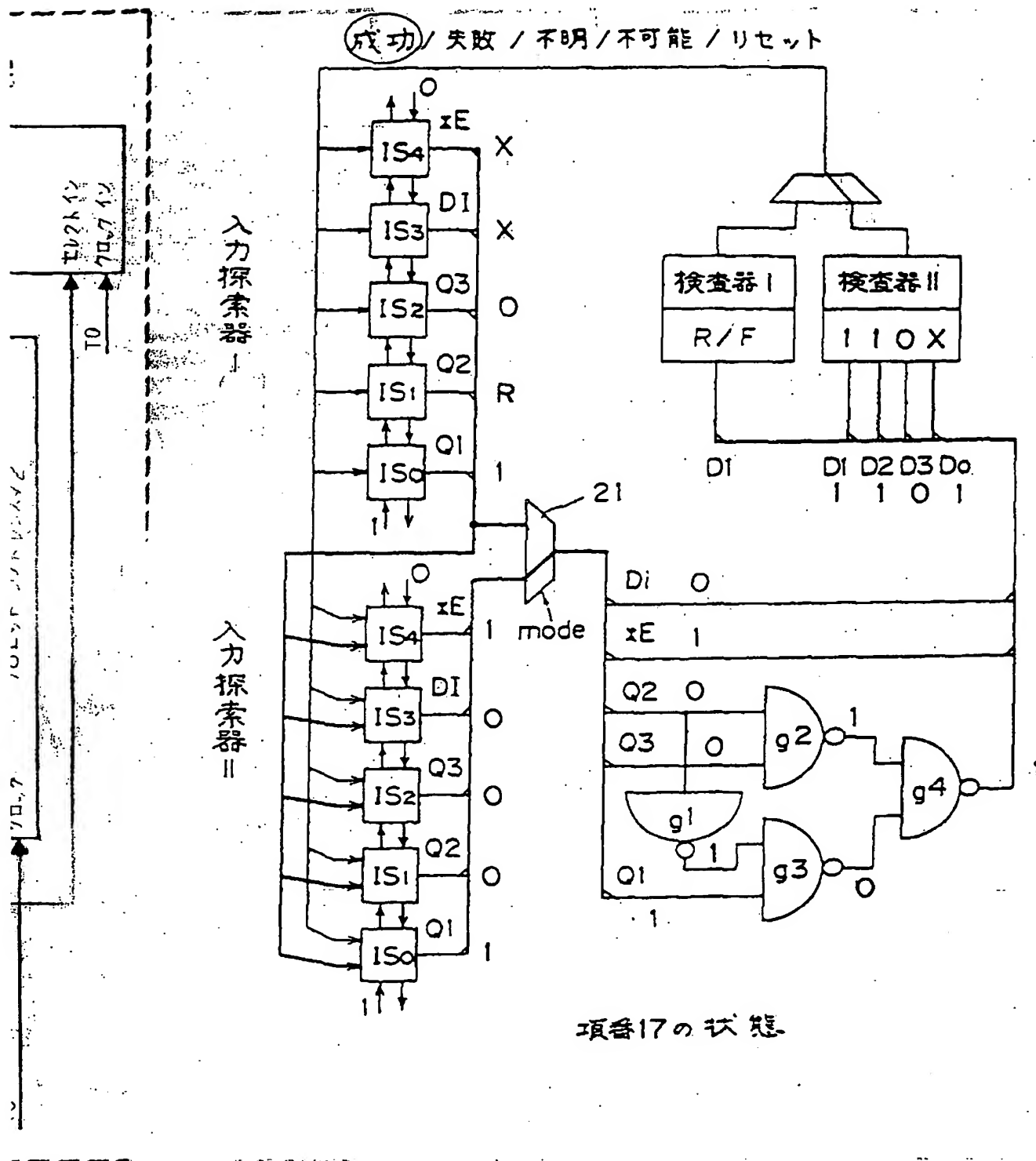


項番12の状態

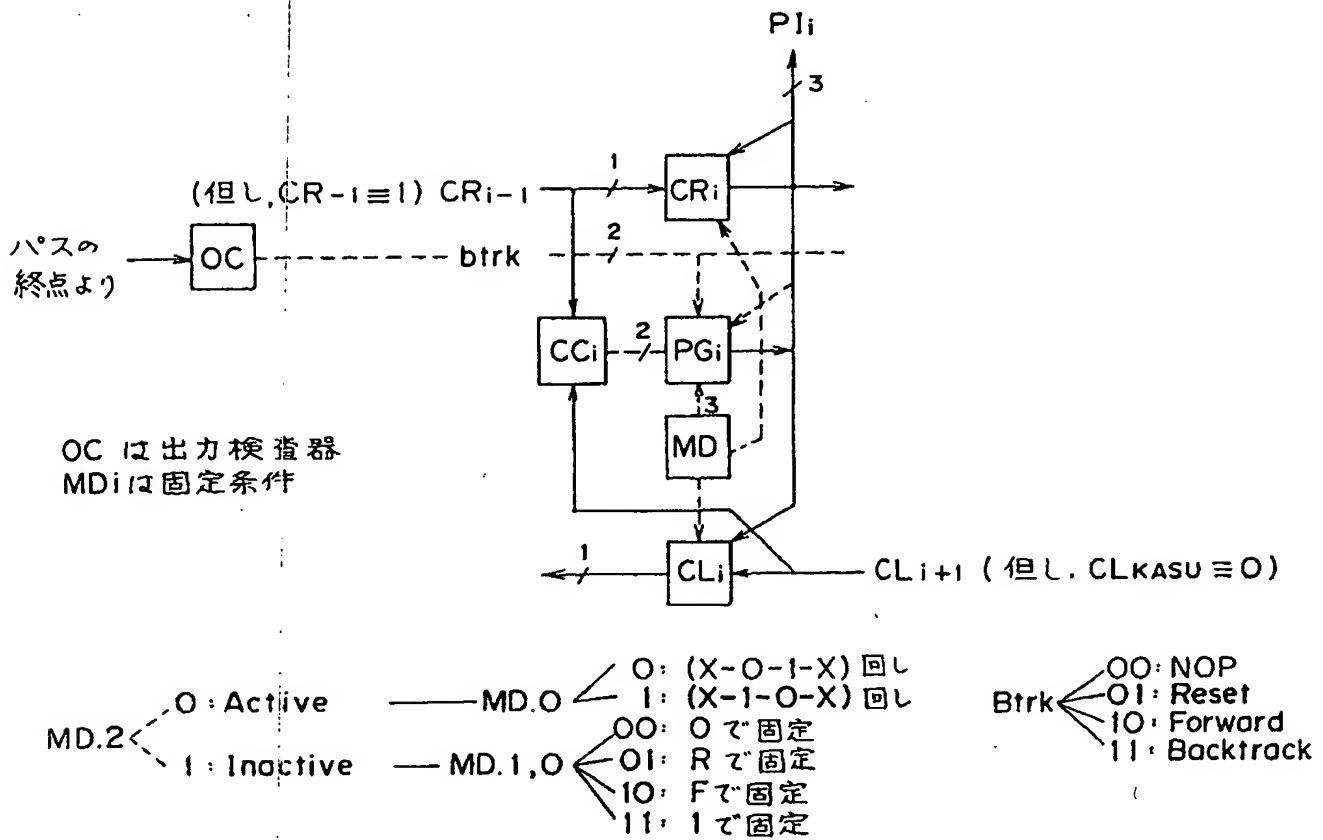
【第7図 (g)】



【第7図 (h)】



【第8図(c)】



1si の内部

【第8図 (d)】

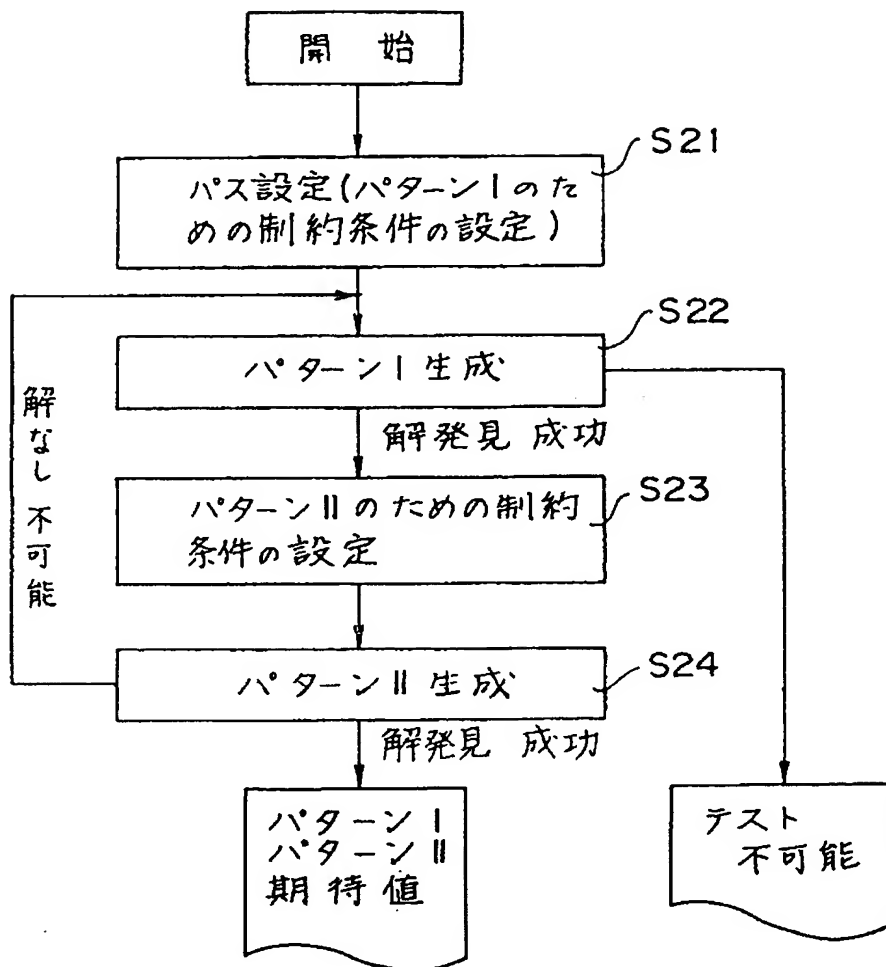
CR 初期値 0			
CRi-1	PGi	MDi	CRi
a	x	1xx	a
x	0,1	0xx	1
x	X	0xx	0

PG 初期値 0				
MDi	PGi	CCi RL	Btrk	PGi
xxx	a	xx	00	a
100	x	xx	≠00	0
111	x	xx	≠00	1
110	x	xx	≠00	F
101	x	xx	≠00	R
0xx	x	xx	01	X
0xa	X	1x	10	a
0xx	a	xx	10	a
0x0	0	x0	11	1
0x0	0	x1	11	0
0x0	1	x0	11	X
0x0	1	x1	11	1
0x0	X	xx	11	X
0x1	1	x0	11	0
0x1	1	x1	11	1
0x1	0	x0	11	X
0x1	0	x1	11	0
0x1	X	xx	11	X

CL 初期値 0			
CLi+1	PGi	MDi	CLi
1	x	xxx	1
0	x	1xx	0
0	X	0xx	0
0	1	0x1	1
0	1	0x0	0
0	0	0x1	0
0	0	0x0	1
その他			0

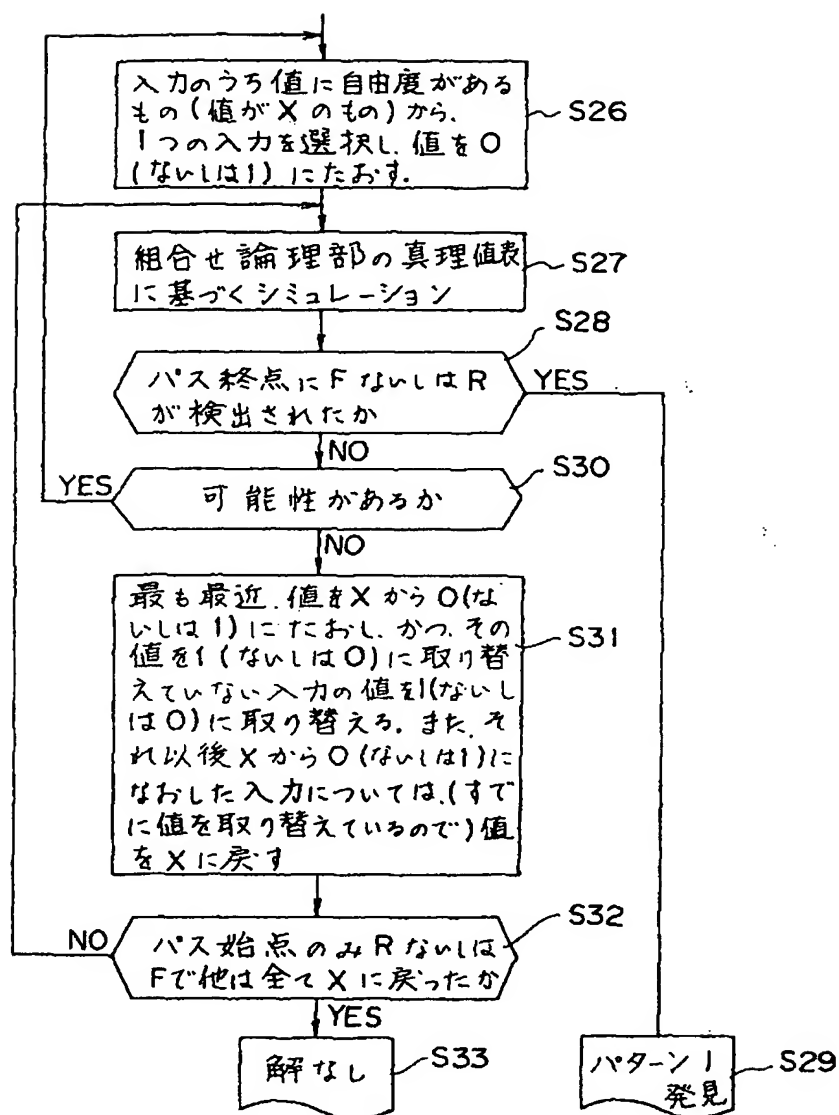
各部の真理値表

【第10図(a)】



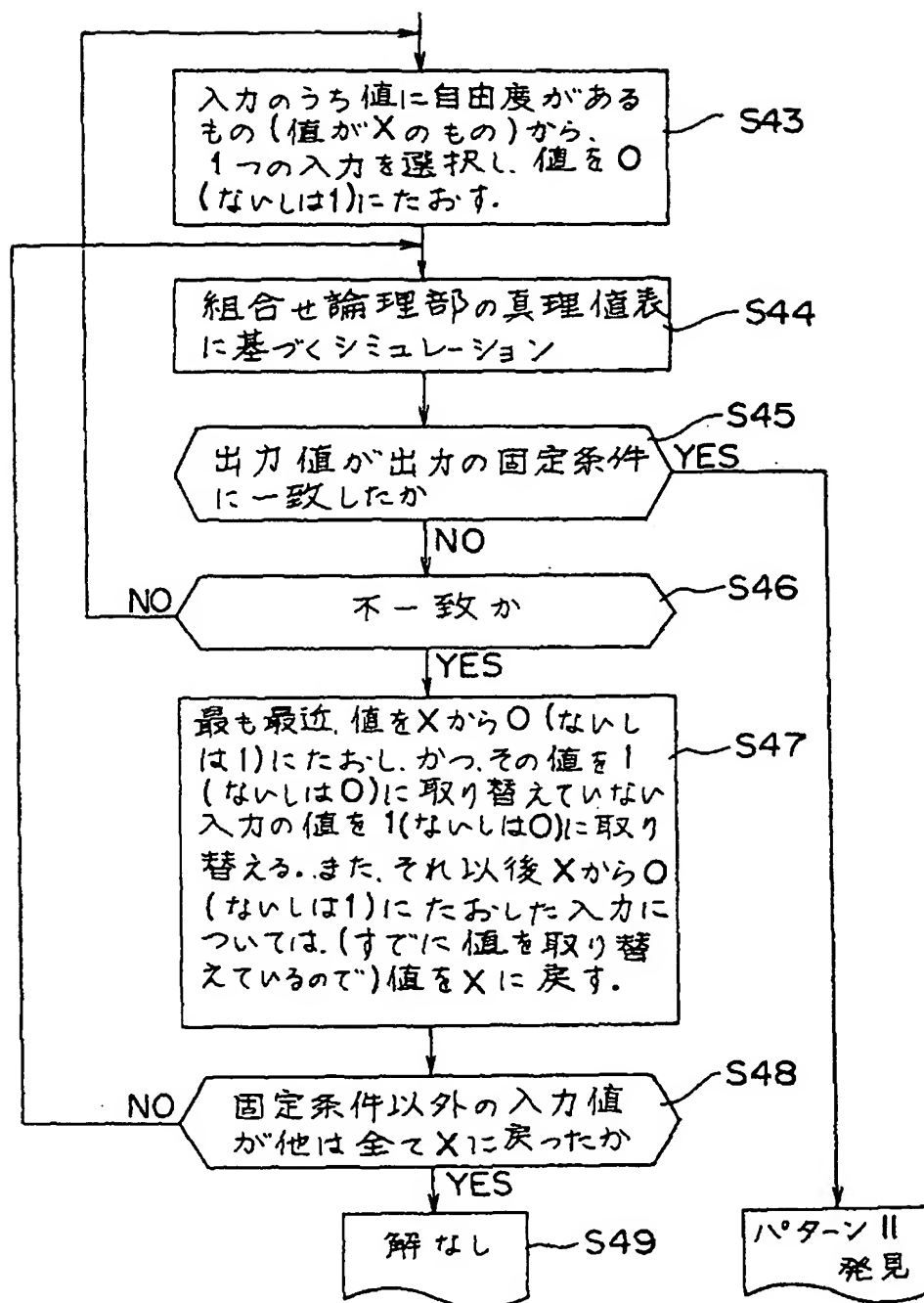
本発明の全体処理に対するフロー

【第10図(c)】



本発明のパターン1の生成処理に対するフロー図

【第10図(e)】



本発明のパターンIIの生成処理に対するフロー図

【第11図】

